版本信息：
版本 REV2025
时间 01/24/2025

米联客MLK-F29-CZ10-7030-035-045开发板硬件手册

电子版自学资料

常州一二三电子科技有限公司
常州米联客电子科技有限公司
版权所有

米联客FPGA|SOC生态QQ群05(XILINX)(新群):554101168
米联客FPGA|SOC生态QQ群04(XILINX)(已满):516869816
米联客FPGA|SOC生态QQ群03(XILINX)(已满):543731097
米联客FPGA|SOC生态QQ群02(XILINX)(已满):86730608
米联客FPGA|SOC生态QQ群01(XILINX)(已满):34215299

如果QQ群全满无法加入，请登录网址: https://www.uisrc.com/f-380.html查看最新可以加入的QQ群

微信扫码注册米联客技术论坛www.uisrc.com免费享受更多资源

扫码关注微信公众平台“米联客(MILIANKE)”掌握更多信息动态

版本	时间	描述
V1.0	2025-1-24	第一版

目录

米联客MLK-F29-CZ10-7030-035-045开发板硬件手册.....1
1 整体概述.....5
2 硬件参数概述.....5
3 核心模块.....6
4 功能底板.....7
5 硬件详细描述.....8
1：ZYNQ SOC.....8
2：DDR 内存.....8
2-1:PS DDR.....9
2-2:PL DDR.....10
3：QSPI.....11
4：EMMC.....11
5：SD接口.....12
6：PS 系统时钟.....13
7：PL 时钟.....13
8：GTX 时钟.....13
9：上电复位.....14
10：模式开关.....14
11：PS以太网.....15
12：PL以太网.....16
13：USB2.0接口.....16
14：UART串口.....17
15：HDMI接口.....18
16：SFP+光口.....18
17：PCIE接口.....19
18：EEPROM&RTC时钟.....20
19：CEP接口.....20
20：按键.....21
21：LED.....21
22：RS485/CAN接口.....22
23：JTAG接口.....22
24：FEP高速扩展接口.....23
25：M2_M高速扩展接口.....24
26：底板电源管理.....25
27：散热片.....25
28：结构尺寸图.....26
6 XC7Z030/XC7Z035/XC7Z045-2FFG676I BANK分布.....27
7 命名规则.....28
1：核心模块命名规则.....28
2：开发平台命名规则.....28
附录1 常见问题.....28
1：联系方式.....28
2：售后.....28
3：销售.....29
4：在线视频.....29
5：软件下载.....29

用户须知—使用必看

核心板使用人员：

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。

2、请使用稳压电源供电，不要使用纹波较大的电源供电。

3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。

4、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

常州米联客信息科技有限公司

技术服务部

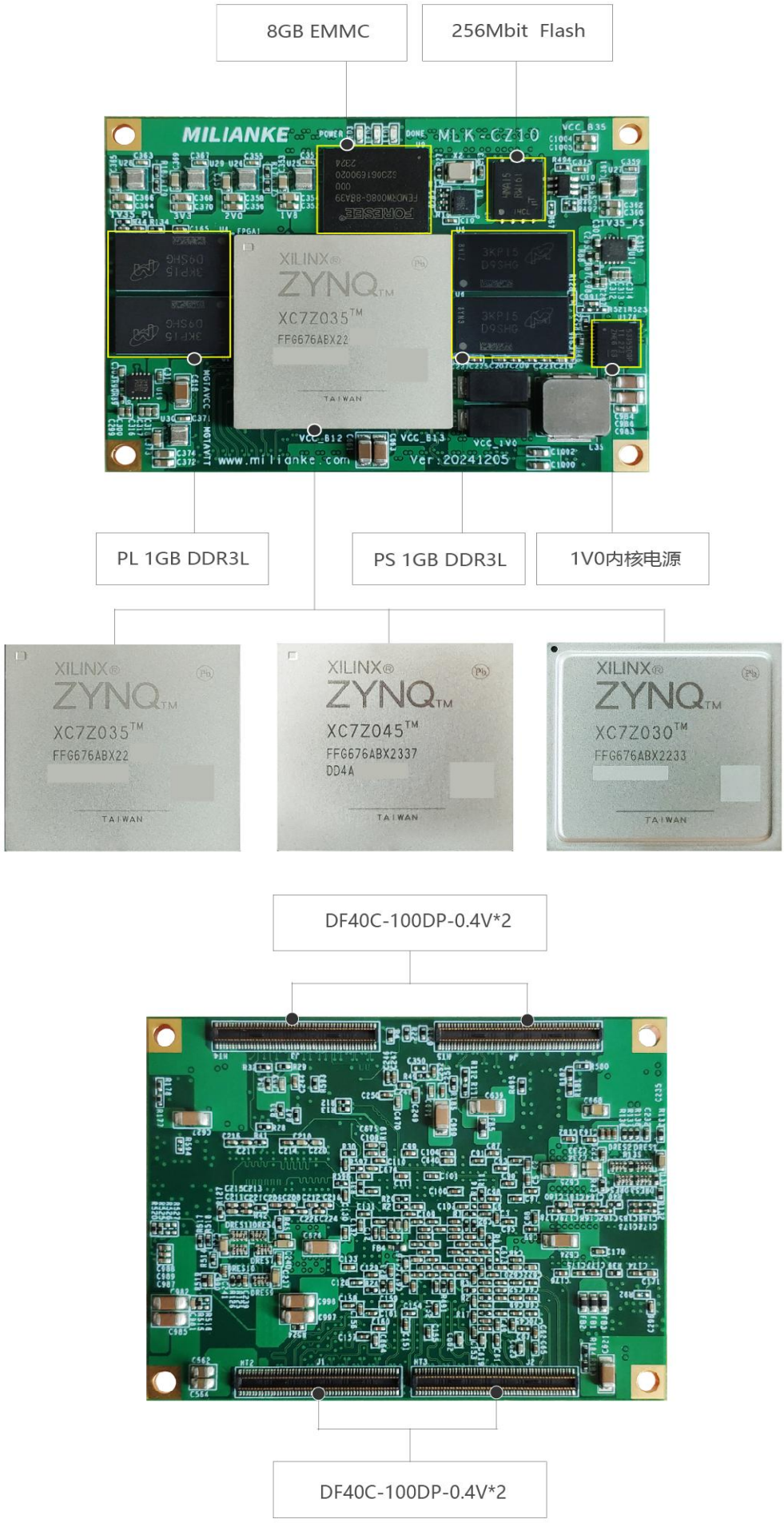
1 整体概述

MLK-F29-CZ10-7030-035-045开发板是米联客MLK-FX系列开发平台的高性价比开发板。用户基于核心模块设计功能底板（提供功能底板设计方案）,降低项目功能底板设计难度和生产成本，加速项目开发。其应用领域包含高速通信:机器视觉、伺服系统、视频采集、高速通信、仪器设备、消费电子、产品研发前期验证、学习评估。

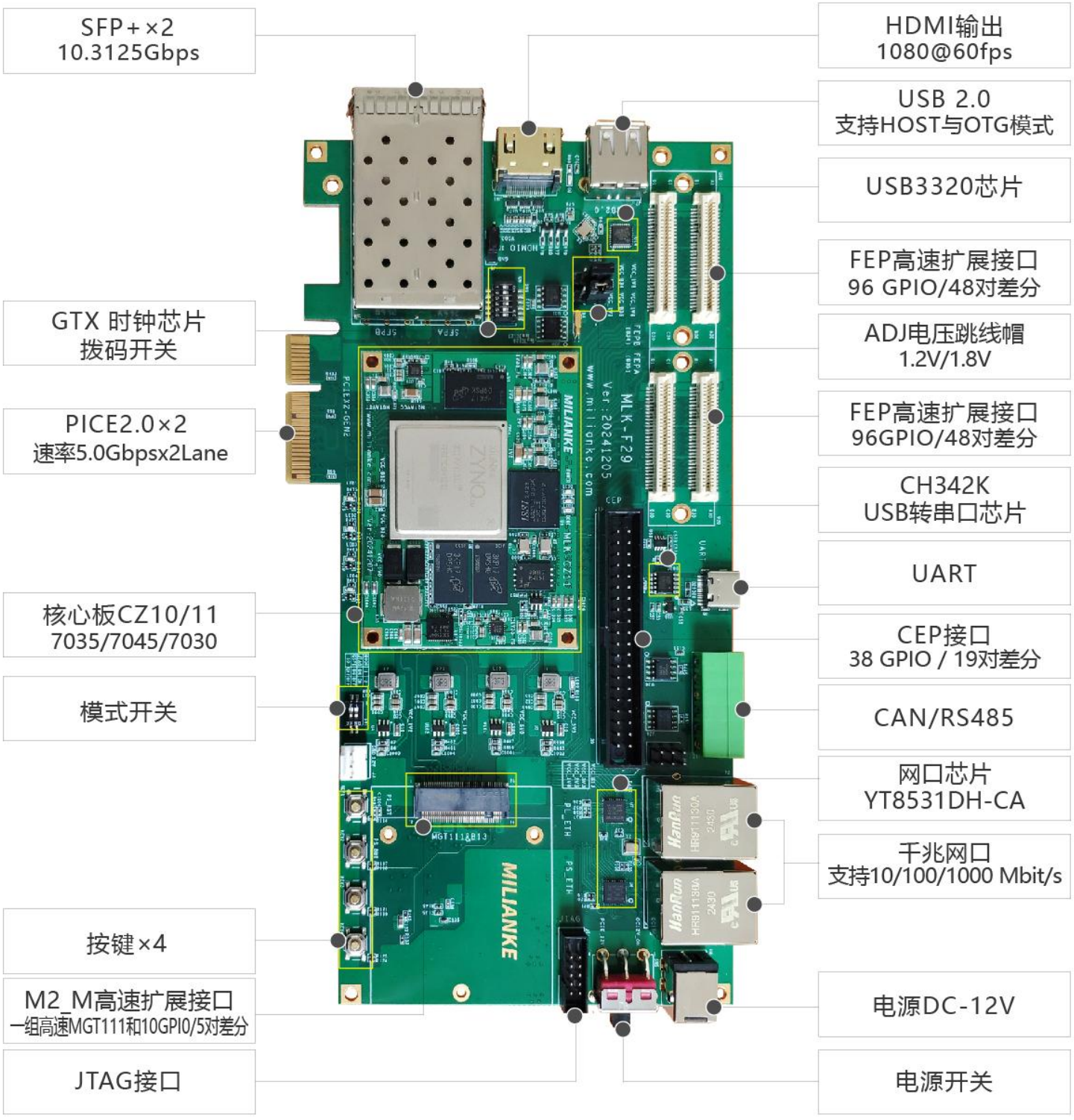
2 硬件参数概述

MLK-F29-CZ10-7030-035-045DDRMAX 开发模块硬件参数				
SOC 型号	XC7Z030FFG676-2I/ XC7Z035FFG676-2I/XC7Z045FFG676-2I			
ARM 主要参数	Cortex-A9 双核主频 800MHz			
ZYNQ 主要参数	型号	XC7Z030FFG676-2I	XC7Z035FFG676-2I	XC7Z045FFG676-2I
	架构	Kintex7	Kintex7	Kintex7
	速度等级	-2	-2	-2
	逻辑单元(Logic Cells)	125K	275K	350K
	查找表(LUTs)	78600	171900	218600
	Block RAM(#36kb Blocks)	9.3Mb	17.6Mb	19.1Mb
	DSP(DSP slices)	400	900	900
	触发器(Flip-flops)	157200	343800	437200
	GTX Transceivers	4 对	8 对	8 对
核心电源	1.0V 电源最大输出 30A			
PS DDR	DDR3L 1GB 1066MHz*32bits			
PL DDR	DDR3L 1GB 1600MHz*32bits			
EMMC	8GB			
FLASH	256Mbit QSPI-Flash			
PS 晶振	33.3333MHZ(核心模块上)			
PL 晶振	100MHZ(核心模块上)			
JTAG接口	底板1 路			
GTX时钟	底板1 路 CDCM61002时钟芯片			
SFP	底板2 路 SFP+接口，单路最大支持 10.3125Gbps (和 PCIE 公用1组GTX，因此不能同时使用PCIE)			
PCIE 接口	底板PCIE2.0 X2 (和SPF公用1组GTX，因此不能同时使用SFP)			
千兆以太网	底板1 路 PS千兆以太网和1 路 PL千兆以太网			
HDMI 输出	底板1 路 HDMI 输出，支持DVI1.0/HDMI1.0 协议，最大输出1080@60fps			
USB 2.0	底板通过跳线帽可自由切换HOST与OTG 模式			
USB 串口	底板1 路 USB 转串口，其中包含1 路 PS 端和1 路 PL 端，Type-C接口			
SD 卡	底板1 路 TF 卡接口			
CAN	底板2 路 SN65HVD232DR			
RS485	底板2 路 SP3485EN-L/TR			
EEPROM	底板I2C接口挂 24LC02 1路			
RTC	底板I2C接口挂 实时时钟芯片1路			
按键	底板3个用户按钮			
LED	底板4个用户LED			
CEP	底板1 路40脚CEP接口，共38 GPIO / 19对差分，支持LVDS\DVP接口相机等			
FEP 扩展IO	底板2 路FEP高速扩展接口，HR BANK，共 96 GPIO / 48 对差分（其中FEPB仅限于核心板MLK-CZ11使用）			
M2_M扩展IO	底板1 路M2_M高速扩展接口，包含一组 GT BANK(MGT111) 和 10GPIO/5 对差分（其中7030无MGT111）			
电源输入	核心模块	12V@3A		
	功能底板	12V@3A		
连接型号	核心模块	DF40C-100DP-0.4V*4		
	功能底板	DF40HC-100DS-0.4V*4		
	FEP-底板	泰科 5177983		
	FEP-子卡	泰科 5177984		
外形尺寸	核心模块	50mm*68mm		
	功能底板	200mm*105mm		
	连接器合高	3mm		

3 核心模块


8GB EMMC
256Mbit Flash
MILIANKE
MLK-CZ10
XILINX
ZYNQ
XC7Z035
FFG676ABX22
TAIWAN
www.milianke.com
Ver:20241205
PL 1GB DDR3L
PS 1GB DDR3L
1V0内核电源
XC7Z035
FFG676ABX22
XC7Z045
FFG676ABX2337
DD4A
XC7Z030
FFG676ABX2233
DF40C-100DP-0.4V*2
DF40C-100DP-0.4V*2

4 功能底板


SFP+×2
10.3125Gbps
GTX 时钟芯片
拨码开关
PICE2.0×2
速率5.0Gbpsx2Lane
核心板CZ10/11
7035/7045/7030
模式开关
按键×4
M2_M高速扩展接口
一组高速MGT111和10GPIO/5对差分
JTAG接口
HDMI输出
1080@60fps
USB 2.0
支持HOST与OTG模式
USB3320芯片
FEP高速扩展接口
96 GPIO/48对差分
ADJ电压跳线帽
1.2V/1.8V
FEP高速扩展接口
96GPIO/48对差分
CH342K
USB转串口芯片
UART
CEP接口
38 GPIO / 19对差分
CAN/RS485
网口芯片
YT8531DH-CA
千兆网口
支持10/100/1000 Mbit/s
电源DC-12V
电源开关

5 硬件详细描述

1：ZYNQ SOC



核心模块搭载了一颗XILINX可编程SOC芯片XC7Z030/035/045-FFG676-2I。该芯片集成了ARM Cortex-A9双核CPU以及可编程逻辑单元，同时具备了硬件编程和软件编程功能。

SOC 型号	XC7Z030FFG676-2I/ XC7Z035FFG676-2I/XC7Z045FFG676-2I			
ARM 主要参数	Cortex-A9 双核主频 800MHz			
ZYNQ 主要参数	型号	XC7Z030FFG676-2I	XC7Z035FFG676-2I	XC7Z045FFG676-2I
	架构	Kintex7	Kintex7	Kintex7
	速度等级	-2	-2	-2
	逻辑单元(Logic Cells)	125K	275K	350K
	查找表(LUTs)	78600	171900	218600
	Block RAM(#36kb Blocks)	9.3Mb	17.6Mb	19.1Mb
	DSP(DSP slices)	400	900	900
	触发器(Flip-flops)	157200	343800	437200
	GTX Transceivers	8 对	16 对	16 对

引出IO:

核心模块	MLK-CZ10-7030-035-045DDRMAX
引出GTX	XC7Z030：4对GTX XC7Z035/045：8对GTX
引出PS端MIO	38个IO
引出PL端IO	HP：48GPIO 24对差分对 BANK35：ADJ电压支持1.2V/1.8V HR：96GPIO 48对差分对 BANK13：ADJ电压支持1.8V/2.5V/3.3V BANK12：ADJ电压支持1.8V/2.5V/3.3V（底板默认3.3V）

2：DDR 内存



核心模块搭载了2 片镁光（Micron）DDR3L 内存。2 片与 ZYNQ 的 PS 内存接口相连。

单片 DDR 内存大小是 512MB，数据接口是 16bit。PS 端 2 片内存组成 32bit 数据接口，内存大小 1GB，内存数据主频高达 1066MHZ，数据带宽可达 1066MHz*32bit。

注意：由于 Vivado 软件中 DDR 的型号不全，为兼容核心模块使用的 DDR,使用软件时,选择 MT41K256M16 RE-125,核心模块根据市场供货，以及商业及工业级会选用以下几种型号进行量产：

MT41K256M16TW-107:P(商业级 DDR 用于商业级核心模块)

MT41K256M16TW-107 IT:P(工业级 DDR 用于工业级核心模块)

MT41K256M16TW-107AAT:P (车规级DDR 用于工业级核心模块)

PS DDR 无需进行PIN 脚约束，使用的时候只需要对 ZYNQ IP 的 DDR 配置部分正确设置相关参数。

2-1:PS DDR

PS DDR 无需进行 PIN 脚约束，使用的时候只需要对 ZYNQ IP 的 DDR 配置部分正确设置相关参数。



ZYNQ PS DDR引脚分配表：

DDR DATA	ZYNQ PIN	IOSTANDARD	DDR DATA	ZYNQ PIN	IOSTANDARD
ddr3_dq[0]	H26	SSTL135	ddr3_addr[0]	K22	SSTL135
ddr3_dq[1]	J23	SSTL135	ddr3_addr[1]	K20	SSTL135
ddr3_dq[2]	J25	SSTL135	ddr3_addr[2]	N21	SSTL135
ddr3_dq[3]	H23	SSTL135	ddr3_addr[3]	L22	SSTL135
ddr3_dq[4]	J26	SSTL135	ddr3_addr[4]	M20	SSTL135
ddr3_dq[5]	F25	SSTL135	ddr3_addr[5]	N22	SSTL135
ddr3_dq[6]	J24	SSTL135	ddr3_addr[6]	L20	SSTL135
ddr3_dq[7]	G26	SSTL135	ddr3_addr[7]	J21	SSTL135
ddr3_dq[8]	K23	SSTL135	ddr3_addr[8]	T20	SSTL135
ddr3_dq[9]	K26	SSTL135	ddr3_addr[9]	U20	SSTL135
ddr3_dq[10]	N23	SSTL135	ddr3_addr[10]	M22	SSTL135
ddr3_dq[11]	M25	SSTL135	ddr3_addr[11]	H21	SSTL135
ddr3_dq[12]	M24	SSTL135	ddr3_addr[12]	P20	SSTL135
ddr3_dq[13]	M26	SSTL135	ddr3_addr[13]	J20	SSTL135
ddr3_dq[14]	L23	SSTL135	ddr3_addr[14]	R20	SSTL135
ddr3_dq[15]	N24	SSTL135	ddr3_ba[0]	U22	SSTL135
ddr3_dq[16]	W26	SSTL135	ddr3_ba[1]	T22	SSTL135
ddr3_dq[17]	U24	SSTL135	ddr3_ba[2]	R22	SSTL135
ddr3_dq[18]	W23	SSTL135	ddr3_cas_b	Y23	SSTL135
ddr3_dq[19]	V24	SSTL135	ddr3_ras_b	V23	SSTL135
ddr3_dq[20]	Y26	SSTL135	ddr3_we_b	V22	SSTL135
ddr3_dq[21]	U25	SSTL135	ddr3_cke[0]	U21	SSTL135
ddr3_dq[22]	Y25	SSTL135	ddr3_odt[0]	Y22	SSTL135
ddr3_dq[23]	U26	SSTL135	ddr3_cs_b	Y21	SSTL135
ddr3_dq[24]	N26	SSTL135	ddr3_drst_b	H22	SSTL135
ddr3_dq[25]	R26	SSTL135	ddr3_ck_p[0]	R21	SSTL135
ddr3_dq[26]	P23	SSTL135	ddr3_ck_n[0]	P21	SSTL135
ddr3_dq[27]	T23	SSTL135			
ddr3_dq[28]	R23	SSTL135			
ddr3_dq[29]	T25	SSTL135			
ddr3_dq[30]	P24	SSTL135			
ddr3_dq[31]	T24	SSTL135			
ddr3_dm[0]	G24	SSTL135			
ddr3_dm[1]	K25	SSTL135			
ddr3_dm[2]	V26	SSTL135			
ddr3_dm[3]	P26	SSTL135			
ddr3_dqsp[0]	H24	SSTL135			
ddr3_dqsn[0]	G25	SSTL135			
ddr3_dqsp[1]	L24	SSTL135			
ddr3_dqsn[1]	L25	SSTL135			
ddr3_dqsp[2]	W24	SSTL135			
ddr3_dqsn[2]	W25	SSTL135			

ddr3_dqsp[3]	P25	SSTL135			
ddr3_dqsn[3]	R25	SSTL135			

2-2:PL DDR

PL 部分 DDR 需要使用到 MIG 配置，PIN 脚约束需要在 MIG 中定义。通过阅读引脚分配表，可以快速正确定位 FPGA 的 PIN 脚号，比如 PL-DDR3-DM1 对应于 FPGA 的 K5 脚，PL-DDR3-DQ8 对应于 FPGA 的 N6 脚。



ZYNQ PL DDR引脚分配表：

DDR DATA	ZYNQ PIN	IOSTANDARD	DDR DATA	ZYNQ PIN	IOSTANDARD
ddr3_dq[0]	M2	SSTL135	ddr3_addr[0]	C9	SSTL135
ddr3_dq[1]	L4	SSTL135	ddr3_addr[1]	J10	SSTL135
ddr3_dq[2]	L2	SSTL135	ddr3_addr[2]	C4	SSTL135
ddr3_dq[3]	M6	SSTL135	ddr3_addr[3]	A2	SSTL135
ddr3_dq[4]	N1	SSTL135	ddr3_addr[4]	F8	SSTL135
ddr3_dq[5]	N4	SSTL135	ddr3_addr[5]	B7	SSTL135
ddr3_dq[6]	M1	SSTL135	ddr3_addr[6]	H7	SSTL135
ddr3_dq[7]	M4	SSTL135	ddr3_addr[7]	A7	SSTL135
ddr3_dq[8]	N6	SSTL135	ddr3_addr[8]	H6	SSTL135
ddr3_dq[9]	J5	SSTL135	ddr3_addr[9]	D5	SSTL135
ddr3_dq[10]	N7	SSTL135	ddr3_addr[10]	J8	SSTL135
ddr3_dq[11]	J6	SSTL135	ddr3_addr[11]	E6	SSTL135
ddr3_dq[12]	K8	SSTL135	ddr3_addr[12]	J11	SSTL135
ddr3_dq[13]	K6	SSTL135	ddr3_addr[13]	G6	SSTL135
ddr3_dq[14]	M7	SSTL135	ddr3_addr[14]	D6	SSTL135
ddr3_dq[15]	K7	SSTL135	ddr3_ba[0]	E7	SSTL135
ddr3_dq[16]	D3	SSTL135	ddr3_ba[1]	F9	SSTL135
ddr3_dq[17]	F4	SSTL135	ddr3_ba[2]	B2	SSTL135
ddr3_dq[18]	D4	SSTL135	ddr3_cas_b	D9	SSTL135
ddr3_dq[19]	G4	SSTL135	ddr3_ras_b	E8	SSTL135
ddr3_dq[20]	D1	SSTL135	ddr3_we_b	F5	SSTL135
ddr3_dq[21]	E2	SSTL135	ddr3_cke[0]	G9	SSTL135
ddr3_dq[22]	C1	SSTL135	ddr3_odt[0]	B6	SSTL135
ddr3_dq[23]	E1	SSTL135	ddr3_cs_b	D8	SSTL135
ddr3_dq[24]	L3	SSTL135	ddr3_drst_b	A5	SSTL135
ddr3_dq[25]	H1	SSTL135	ddr3_ck_p[0]	C8	SSTL135
ddr3_dq[26]	K3	SSTL135	ddr3_ck_n[0]	C7	SSTL135
ddr3_dq[27]	G1	SSTL135			
ddr3_dq[28]	J4	SSTL135			
ddr3_dq[29]	H4	SSTL135			
ddr3_dq[30]	J3	SSTL135			
ddr3_dq[31]	H3	SSTL135			
ddr3_dm[0]	L5	SSTL135			
ddr3_dm[1]	K5	SSTL135			
ddr3_dm[2]	F3	SSTL135			
ddr3_dm[3]	J1	SSTL135			
ddr3_dqsp[0]	N3	SSTL135			
ddr3_dqsn[0]	N2	SSTL135			

ddr3_dqsp[1]	M8	SSTL135			
ddr3_dqsn[1]	L8	SSTL135			
ddr3_dqsp[2]	G2	SSTL135			
ddr3_dqsn[2]	F2	SSTL135			
ddr3_dqsp[3]	K2	SSTL135			
ddr3_dqsn[3]	K1	SSTL135			

3：QSPI



1片4bit SPI FLASH，型号为MT25QL256ABA1EW9-0SIT，可用于保存数据和代码。

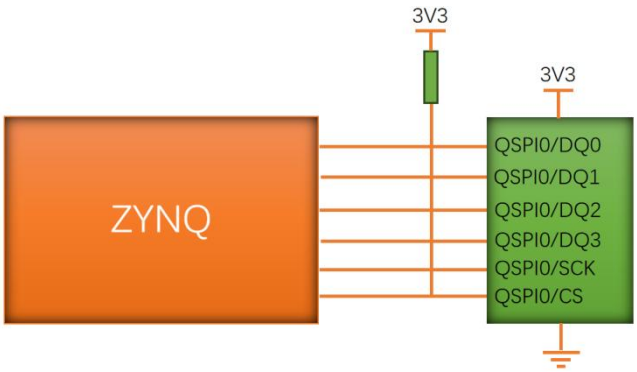
主要技术参数:256Mbit；

-x1, x2, x4 and x8 支持

-最高时钟 104 MHz, rates @ 100 MHz 8bit 模式下可以达到 800Mbs

-工作于 3.3V

-为了正确使用 QSPI FLASH 工作于 8bit 模式，MIO[1:0,8]需要被正确设置。MIO[8] 需要通过一个 20K 的 上电阻上拉到 3.3V,让 8bit FLASH 可以工作于反馈模式。Zynq 只支持 24bit 的寻址空间，256Mb 是通过内部bank 的切换实现全部访问。



ZYNQ FLASH引脚分配表：

FLASH PIN	ZYNQ PIN	IOSTANDARD	FLASH PIN	ZYNQ PIN	IOSTANDARD
QSPI0/SDI/DQ0	MIO2		QSPI0/#CS	MIO1	LVCMOS33
QSPI0/SDO/DQ1	MIO3		QSPI0/SCK	MIO6	
QSPI0/#WP/DQ2	MIO4				
QSPI0/#HOLD/DQ3	MIO5				

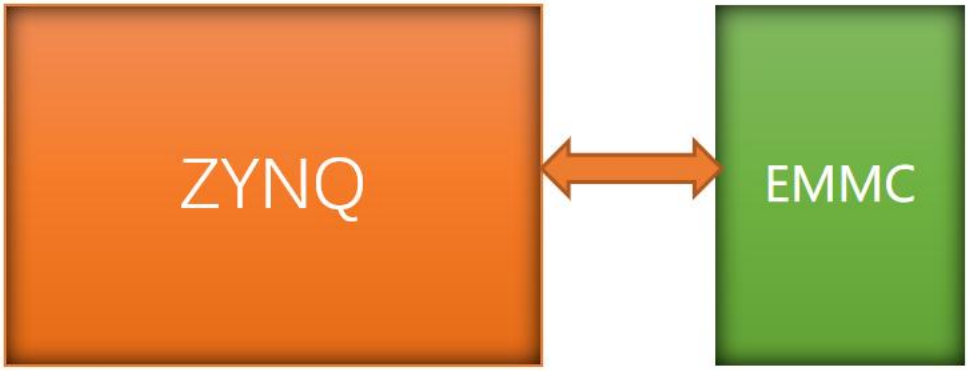
4：EMMC



核心板焊接了 8GB 大容量的 EMMC，EMMC 连接到了 ZYNQ 的 PS 端接口， 接口采用 SD 模式。 EMMC 具备体积小，容量大，使用方便，速度快等优点，数据时钟可以达到 50MHZ。由于直 接焊接在核心板上， 因此可以使用在震动或者环境相对恶劣的场合。

注意:EMMC 根据应用场合供货情况会选择不同的兼容型号目前已经量产过的 EMMC 型号如下：

FEMDRW008G-88A39(工业级 EMMC 用于工业级级核心模块)
IS21EF08GA-JCLI(工业级 EMMC 用于工业级级核心模块)

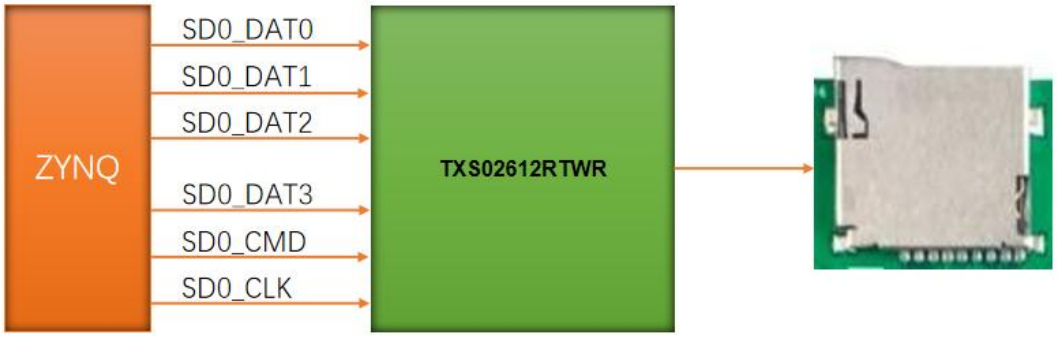


ZYNQ EMMC 引脚分配表：

EMMC PIN	ZYNQ PIN	IOSTANDARD
SD1_DAT0	MIO10	LVCMOS18
SD1_DAT1	MIO13	LVCMOS18
SD1_DAT2	MIO14	LVCMOS18
SD1_DAT3	MIO15	LVCMOS18
SD1_CMD	MIO11	LVCMOS18
SD1_CLK	MIO12	LVCMOS18

5：SD接口

开发板 TF-CARD 与主芯片 PS 部分连接，支持 SDIO 模式。TF-CARD 可以用来保存数据和程序， 如 LIUNX 操作系统。PS 部分相关的引脚是 MIO[40-47]，其中包含了 TF 卡检测信号。 TF 卡由于没有写保护功能，因此写保护不起作用。由于 TF 卡工作在 3.3V ，而 MLK-F29 的 MIO[40-47]工作于1.8V，因此使用了 TXS02612 作为电平桥接芯片。

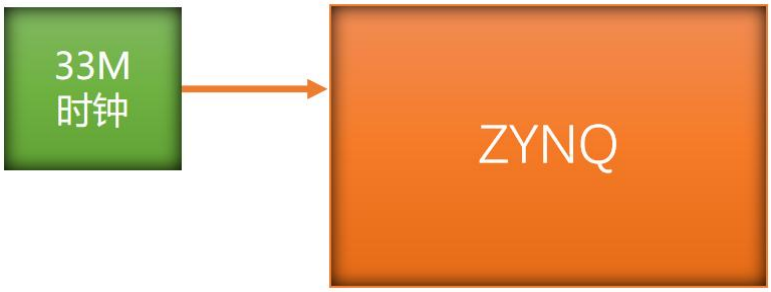


TF引脚分配表:

TF PIN	FPGA IO方向	FPGA PIN	IOSTANDARD	描述
TF_CD	输入	PS_MIO47	LVCMOS33	TF卡CD检查脚
TF_DAT0	双向	PS_MIO42	LVCMOS33	TF卡数据0
TF_DAT1	双向	PS_MIO43	LVCMOS33	TF卡数据1
TF_DAT2	双向	PS_MIO44	LVCMOS33	TF卡数据2
TF_DAT3	双向	PS_MIO45	LVCMOS33	TF卡数据3
TF_CMD	输出	PS_MIO41	LVCMOS33	TF卡命令
TF_CLK	输出	PS_MIO40	LVCMOS33	TF卡时钟

6：PS 系统时钟

对于PS 的系统输入时钟只需要在ZYNQ IP 核中正确设置时钟频率，不需要进行 PIN 脚约束。

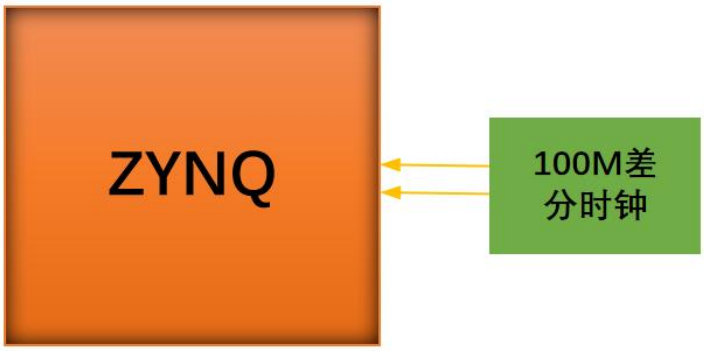


ZYNQ PS 时钟引脚分配表：

时钟 PIN	方向	ZYNQ PIN	IOSTANDARD	描述
CLK	输入	B24		时钟输入

7：PL 时钟

PL 一路差分100M时钟接到BANK34的G7、F7脚，由于BANK34是DDR3L BANK所以定义FPGA IO时候可以使用DIFF_SSTL135电平约束。



ZYNQ PL时钟引脚分配表：

时钟 PIN	方向	ZYNQ PIN	IOSTANDARD	描述
SYSCLK_P	输入	G7	SSTL135	时钟差分输入
SYSCLK_N		F7	SSTL135	

8：GTX 时钟

GT部分高速单元需要提供高精度的参考时钟，其中GT部分的IO为高速专用IO不需要约束电平属性。

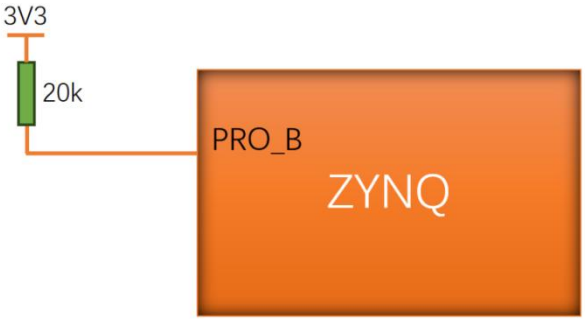


FPGA GT参考时钟引脚分配表:

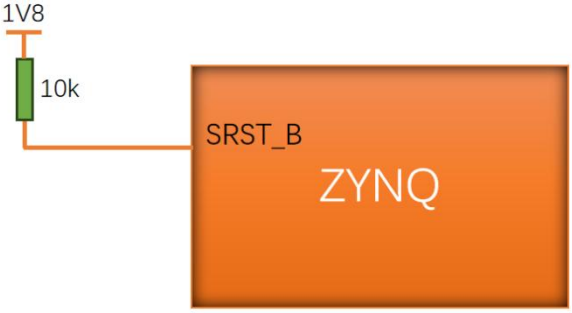
时钟 PIN	FPGA IO方向	FPGA PIN	IOSTANDARD	描述
OUT0_P	差分输入	U6		GT参考时钟输入P端
OUT0_N	差分输入	U5		GT参考时钟输入N端

9：上电复位

开发平台上电复位信号是 PS_POR_B，此复位信号接到电源芯片 TPS51200 的 PG 脚。



开发平台外部复位信号是 PS_RST，此复位信号接到功能底板的按键输入。

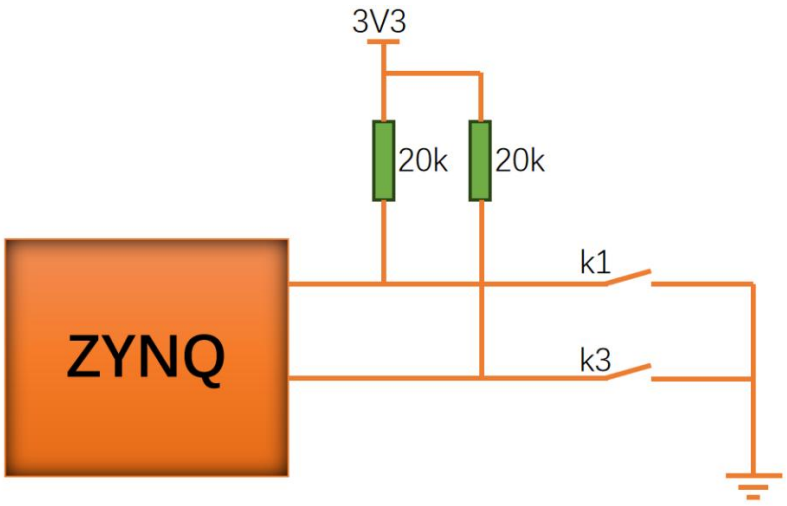


10：模式开关



模式开关 SW1 在底板上，通过设置模式开关，可以实现 JTAG 模式、SD 卡模式、QSPI 模式的切换。

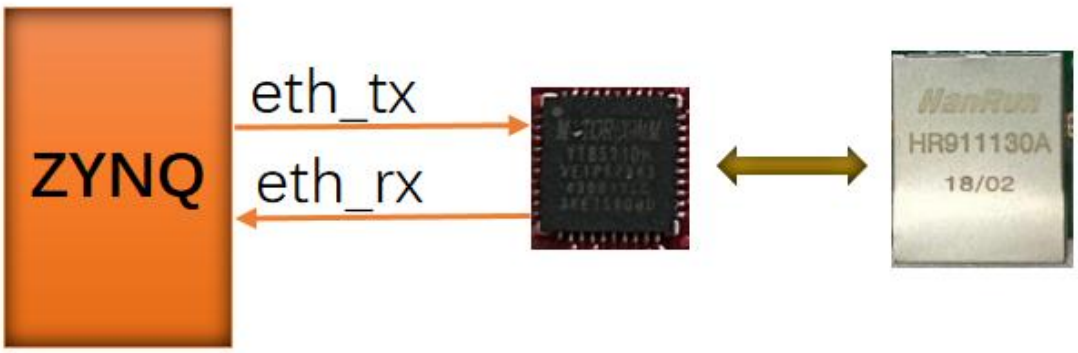
模式	SW-PIN1/MIO4	SW-PIN2 /MIO5
JTAG	ON/0	ON/0
QSPI	ON/0	OFF/1
SD_CARD	OFF/1	OFF/1



	MIO4/SW1	MIO5/SW2
JTAG Boot Mode	0/ON	0/ON
Quad-SPI	0/ON	1/OFF
SD_CARD	1/OFF	1/OFF

11：PS以太网

MLK-F29-CZ10 底板具有1路 PS以太网，以太网芯片采用RGMII接口芯片YT8531DC。支持10M/100M/1000M网速通信。采用的RJ45接头集成了网络变压器。



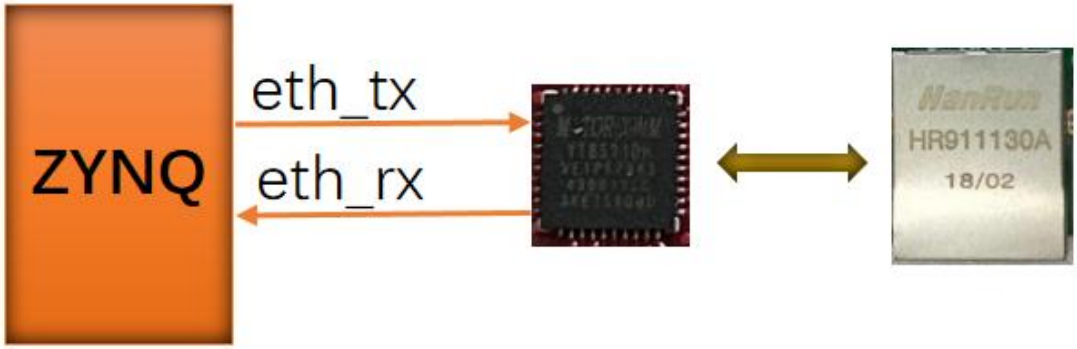
PS以太网芯片引脚分配表:

PS_ETH		
信号定义	PIN	IOSTANDARD
ETH_RXD0	MIO23	LVCMOS18
ETH_RXD1	MIO24	LVCMOS18
ETH_RXD2	MIO25	LVCMOS18

ETH_RXD3	MIO26	LVCMOS18
ETH_RXCTL	MIO27	LVCMOS18
ETH_RXCK	MIO22	LVCMOS18
ETH_TXD0	MIO17	LVCMOS18
ETH_TXD1	MIO18	LVCMOS18
ETH_TXD2	MIO19	LVCMOS18
ETH_TXD3	MIO20	LVCMOS18
ETH_TXCTL	MIO21	LVCMOS18
ETH_TXCK	MIO16	LVCMOS18
ETH_MDIO	MIO53	LVCMOS18
ETH_MDC	MIO52	LVCMOS18
RST	FPGA_IO_AE17	LVCMOS33

12：PL以太网

MLK-F29-CZ10 底板具有1路 PL以太网，以太网芯片采用RGMII接口芯片YT8531DC。支持10M/100M/1000M网速通信。采用的RJ45接头集成了网络变压器。

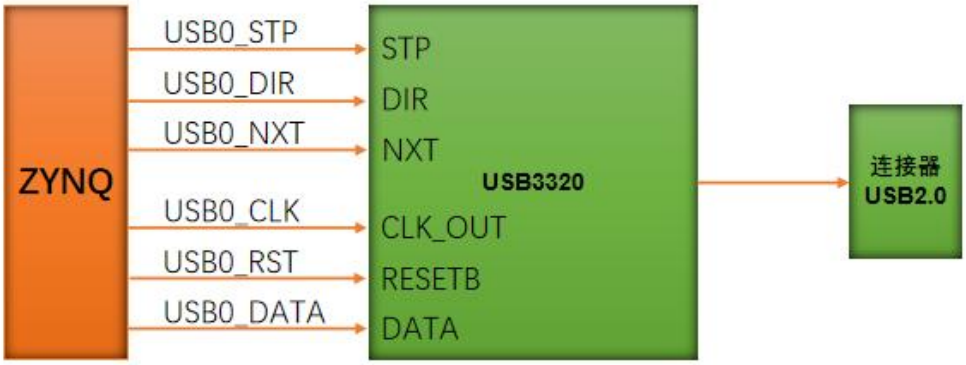


PL以太网芯片引脚分配表:

PL_ETHA		
信号定义	FPGA PIN	IOSTANDARD
ETHA_RXD0	W16	LVCMOS33
ETHA_RXD1	AD14	LVCMOS33
ETHA_RXD2	AA17	LVCMOS33
ETHA_RXD3	AA15	LVCMOS33
ETHA_RXCTL	W15	LVCMOS33
ETHA_RXCK	AC14	LVCMOS33
ETHA_TXD0	Y15	LVCMOS33
ETHA_TXD1	AB12	LVCMOS33
ETHA_TXD2	AC11	LVCMOS33
ETHA_TXD3	W13	LVCMOS33
ETHA_TXCTL	Y16	LVCMOS33
ETHA_TXCK	AA14	LVCMOS33
ETHA_MDIO	Y13	LVCMOS33
ETHA_MDC	AA13	LVCMOS33
RST	AA12	LVCMOS33

13：USB2.0接口

MLK-F29-CZ10 底板具有1路 USB2.0 接口，USB2.0 使用 USB3320 芯片，可以通过跳线帽切换 ID 的上拉接 VDD33（3V3）和下拉接地（GND）达到两种模式的切换 HOST（上拉）/OTG（下拉）。

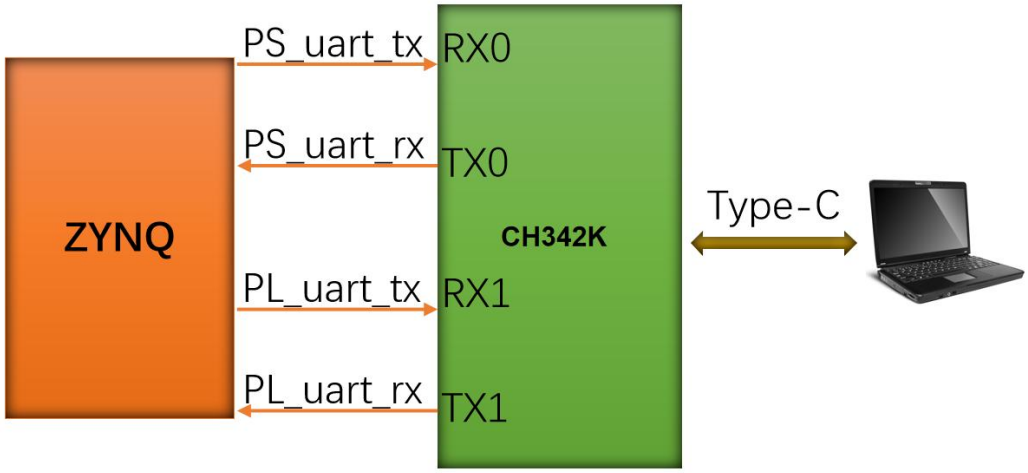


USB2.0芯片引脚分配表:

USB2.0		
信号定义	PIN	IOSTANDARD
USB_DATA0	MIO32	LVCMOS18
USB_DATA1	MIO33	LVCMOS18
USB_DATA2	MIO34	LVCMOS18
USB_DATA3	MIO35	LVCMOS18
USB_DATA4	MIO28	LVCMOS18
USB_DATA5	MIO37	LVCMOS18
USB_DATA6	MIO38	LVCMOS18
USB_DATA7	MIO39	LVCMOS18
USB_STP	MIO30	LVCMOS18
USB_DIR	MIO29	LVCMOS18
USB_CLK	MIO36	LVCMOS18
USB_NXT	MIO31	LVCMOS18
USB_RST_B	MIO46	LVCMOS18

14：UART串口

底板上集成了2 路 USB 转串口，1路PS端和1路PL端。ZYNQ UART 通过 CH342K USB 转串口芯片实现和电脑通信，用于信息调试。

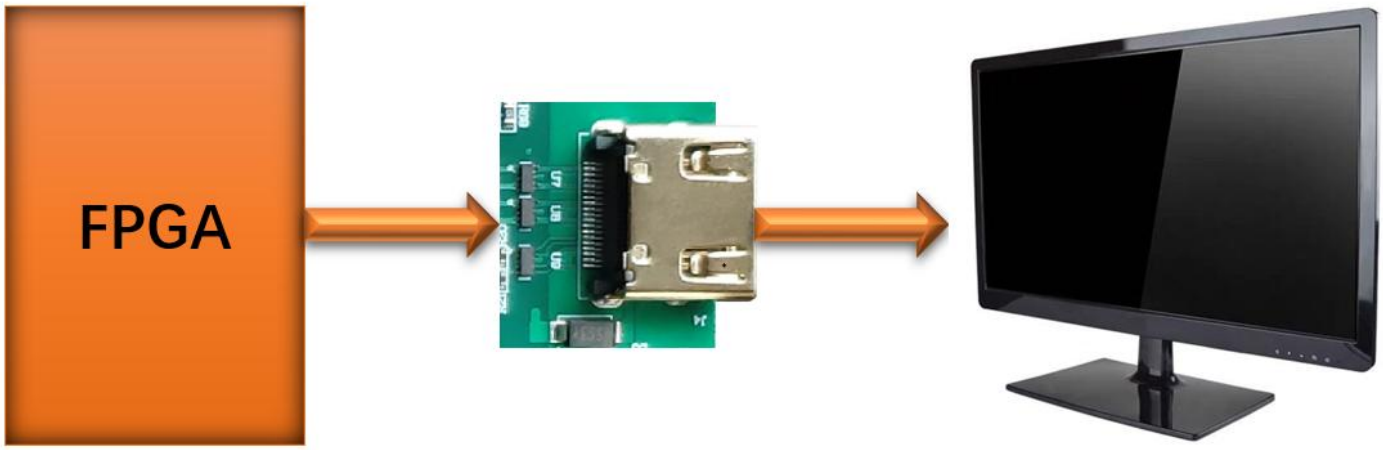


FPGA UART引脚分配表:

UART PIN	FPGA IO方向	PIN	IOSTANDARD	描述
PS_uart_tx	输出	MIO48	LVCMOS18	PS UART串口发送
PS_uart_rx	输入	MIO49	LVCMOS18	PS UART串口接收
PL_uart_tx	输出	AB16	LVCMOS33	PL UART串口发送
PL_uart_rx	输入	AB17	LVCMOS33	PL UART串口接收

15：HDMI接口

底板具有一路HDMI输出接口，该接口直接通过FPGA的差分IO驱动，具有稳定可靠成本低廉的优势。

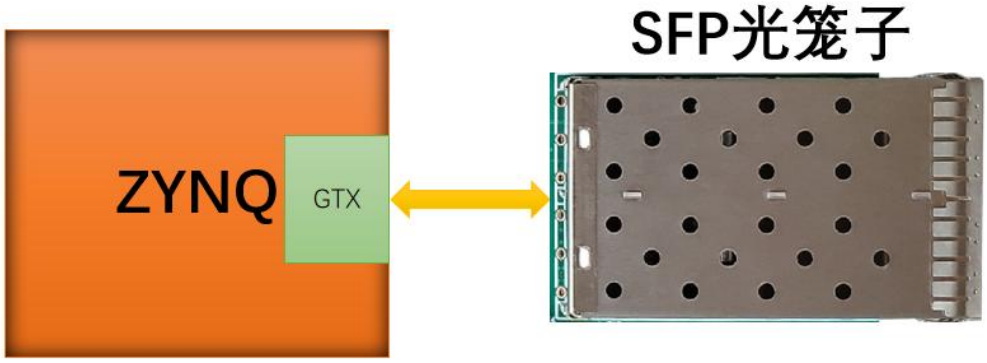


FPGA HDMI输出引脚分配表:

HDMI PIN	FPGA IO方向	FPGA PIN	IOSTANDARD	描述
D2+	输出	AE10	TMDS33	HDMI 数据3差分对P端
D2-	输出	AD10	TMDS33	HDMI 数据3差分对N端
D1+	输出	AE11	TMDS33	HDMI 数据2差分对P端
D1-	输出	AF10	TMDS33	HDMI 数据2差分对N端
D0+	输出	AC12	TMDS33	HDMI 数据1差分对P端
D0-	输出	AD11	TMDS33	HDMI 数据1差分对N端
CK+	输出	AC13	TMDS33	HDMI 时钟差分对P
CK-	输出	AD13	TMDS33	HDMI 时钟差分对N
CEC	双向	AA10	LVCMOS33	消费电子控制通道
SCL	双向	Y12	LVCMOS33	DDC接口，用于发送配置信息
SDA	双向	Y11	LVCMOS33	
HPD	输入	Y10	LVCMOS33	热插拔信号

16：SFP+光口

MLK-F29-CZ10开发板具有1组GTX共4对高速收发通道。其中MGT112的2对GTX用于SFP+光通信接口，最大支持速率10.3125Gbps。其中GT部分的IO为高速专用IO不需要约束电平属性。

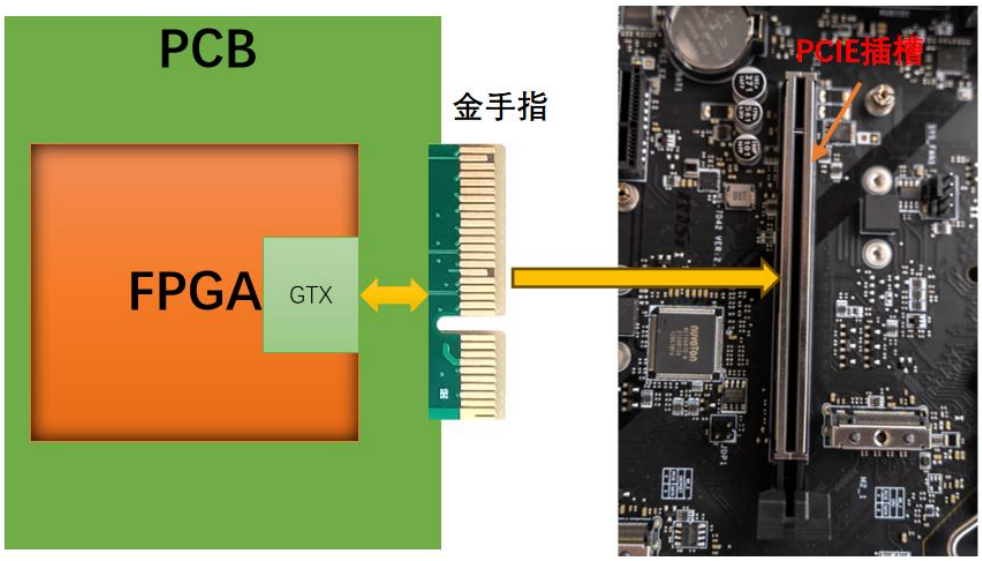


FPGA SFP 引脚分配表:

SFP PIN	FPGA IO方向	FPGA PIN	IOSTANDARD	描述
SFPA_TD_P	差分输出	U2		SFPA GT串行数据发送差分P端
SFPA_TD_N	差分输出	U1		SFPA GT串行数据发送差分N端
SFPA_RD_P	差分输入	V4		SFPA GT串行数据接收差分P端
SFPA_RD_N	差分输入	V3		SFPA GT串行数据接收差分N端
SFPA_TX_DIS	输入	AF12	LVCMOS33	发送使能，1禁止发送，0使能发送
SFPA_RS0	输入	AE12	LVCMOS33	速率选择0，选择控制SFP+接收器速率
SFPA_RS1	输入	AF13	LVCMOS33	速率选择1，可选控制SFP+模块发射器速率
SFPB_TD_P	差分输出	R2		SFPB GT串行数据发送差分P端
SFPB_TD_N	差分输出	R1		SFPB GT串行数据发送差分N端
SFPB_RD_P	差分输入	T4		SFPB GT串行数据接收差分P端
SFPB_RD_N	差分输入	T3		SFPB GT串行数据接收差分N端
SFPB_TX_DIS	输入	AE13	LVCMOS33	发送使能，1禁止发送，0使能发送
SFPB_RS0	输入	AB14	LVCMOS33	速率选择0，选择控制SFP+接收器速率
SFPB_RS1	输入	AB15	LVCMOS33	速率选择1，可选控制SFP+模块发射器速率

17：PCIE接口

MLK-F29-CZ10开发板具有1组GTX共4对高速收发通道，其中2组用于PCIE通信。其中GT部分的IO为高速专用IO不需要约束电平属性。



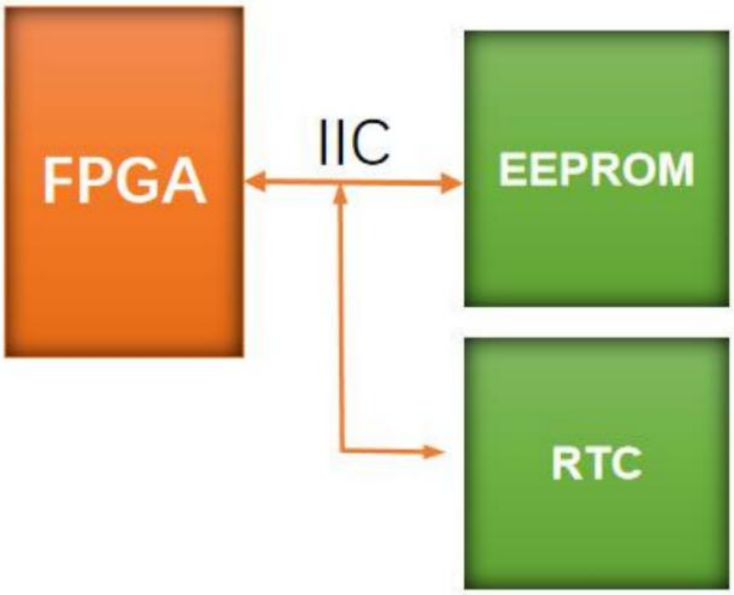
FPGA PCIE 引脚分配表:

PCIE PIN	FPGA IO方向	FPGA PIN	IOSTANDARD	描述
REFCLK_P	差分输入	R6		PCIE差分时钟输入100M
REFCLK_N	差分输入	R5		PCIE差分时钟输入100M
PETp0	差分输入	Y4		PCIE差分数据输入通道0 P端
PETn0	差分输入	Y3		PCIE差分数据输入通道0 N端
PETp1	差分输入	AB4		PCIE差分数据输入通道1 P端
PETn1	差分输入	AB3		PCIE差分数据输入通道1 N端
PERp0	差分输出	W2		PCIE差分数据输出通道0 P端
PERn0	差分输出	W1		PCIE差分数据输出通道0 N端
PERp1	差分输出	AA2		PCIE差分数据输出通道1 P端
PERn1	差分输出	AA1		PCIE差分数据输出通道1 N端
PERST#	输入	AD16	LVCMOS33	PCIE复位

18：EEPROM&RTC时钟

PT7C4337是一款低功耗时钟日历实时时钟芯片。

M24C02是基于I2C总线的存储器件，遵循二线制协议，它具有接口方便，体积小，数据掉电不丢失等特点。



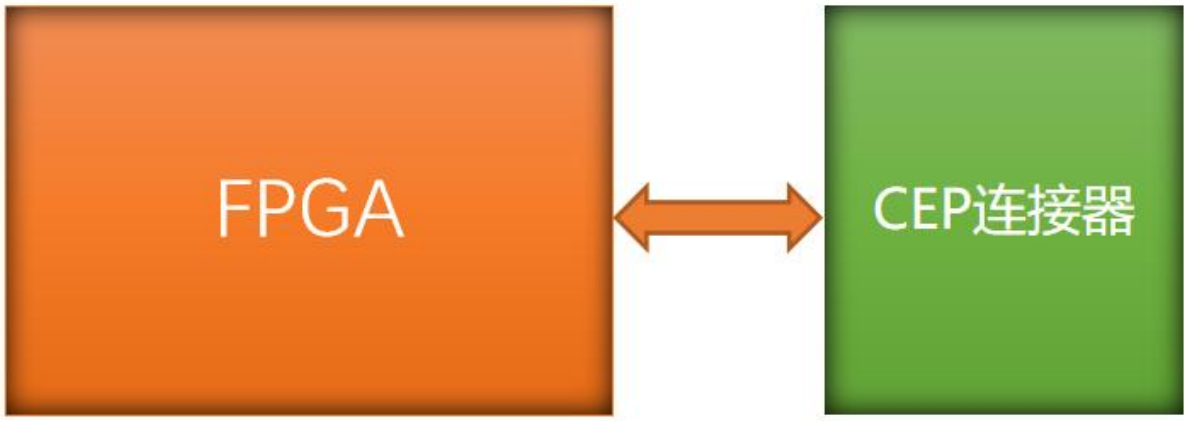
FPGA EEPROM/RTC引脚分配表:

EEPROM/RTC PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
SDA	双向	AB10	LVCMOS33	发送配置信息
SCL	双向	AB11	LVCMOS33	

19：CEP接口

功能底板集成40PIN的CEP接口， 共 38 个 IO / 19 对差分，可用于单端 IO 的通信，也可以用于 LVDS 的通信。CEP接口在BANK13上，供电来源于底板 VCC_BANK13，可以通过跳线帽选择电压(支持 1.8V, 2.5V, 3.3V)。

CEP为米联客自定义的普通GPIO接口，间距为2.54间距，具有单端 GPIO 250Mbps，LVDS高速IO 500Mbps速度，焊接排针，通过杜邦线可以引出IO，CEP可以接米联客DVP接口摄像头。



_P代表了当使用差分信号的时候代表了差分信号的P;

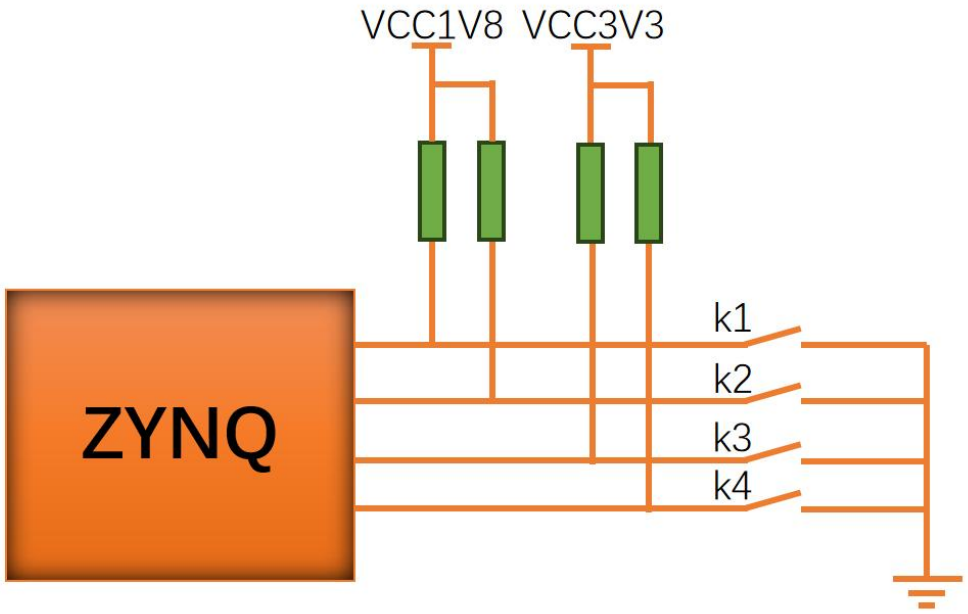
_N代表了当使用差分信号的时候代表了差分信号的N;

CEP					
连接器PIN		FPGA PIN	连接器PIN		FPGA PIN
1		VCC3V3	2		GND

3	CEP_L1_P	Y18	4	CEP_L1_N	AA18
5	CEP_L2_P	AE18	6	CEP_L2_N	AF18
6	CEP_L3_P	W18	8	CEP_L3_N	W19
9	CEP_L4_P	AC18	10	CEP_L4_N	AC19
11	CEP_L5_P	W20	12	CEP_L5_N	Y20
13	CEP_L6_P	AD18	14	CEP_L6_N	AD19
15	CEP_L7_P	AA19	16	CEP_L7_N	AB19
17	CEP_L8_P	AE20	18	CEP_L8_N	AE21
19	CEP_L9_P	AA20	20	CEP_L9_N	AB20
21	CEP_L10_P	AD20	22	CEP_L10_N	AD21
23	CEP_L11_P	AA22	24	CEP_L11_N	AA23
25	CEP_L12_P	AC21	26	CEP_L12_N	AC22
27	CEP_L13_P	AF19	28	CEP_L13_N	AF20
29	CEP_L14_P	AA24	30	CEP_L14_N	AB24
31	CEP_L15_P	AB21	32	CEP_L15_N	AB22
33	CEP_L16_P	AE22	34	CEP_L16_N	AF22
35	CEP_L17_P	AD23	36	CEP_L17_N	AD24
37	CEP_L18_P	AE23	38	CEP_L18_N	AF23
39	CEP_L19_P	AB26	40	CEP_L19_N	AC26

20：按键

在功能底板上有 4 个按键，1路复位按键，1路 MIO 按键，2路 PL 按键。

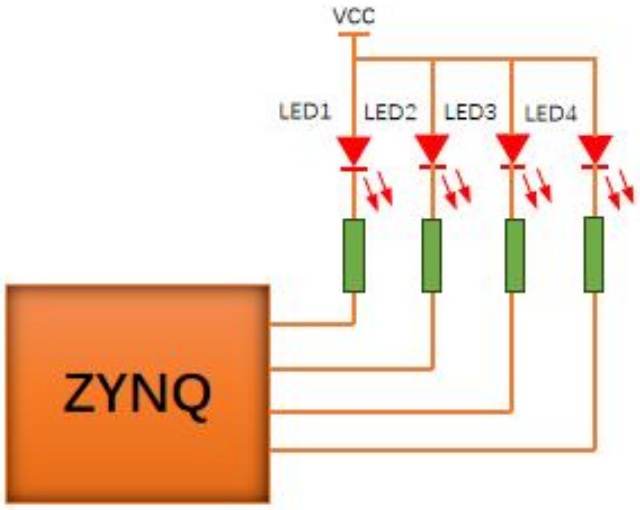


按键输入引脚分配表:

KEY PIN	FPGA IO方向	PIN	IOSTANDARD	描述
KEY1	输入	A22	LVCMOS18	复位按键
KEY2	输入	MIO50	LVCMOS18	按键2输入
KEY3	输入	AB10	LVCMOS33	按键3输入
KEY4	输入	AB11	LVCMOS33	按键4输入

21：LED

在功能底板上有 4 个 LED，1 路 PS 端 LED，3路 PL 端 LED。



LED输出引脚分配表:

LED PIN	FPGA IO方向	PIN	IOSTANDARD	描述
LED1	输出	AE15	LVCMOS33	LED 1输出
LED2	输出	AE16	LVCMOS33	LED 2输出
LED3	输出	AF17	LVCMOS33	LED 3输出
LED4	输出	MIO51	LVCMOS18	LED 4输出

22：RS485/CAN接口

底板上有1路RS485通信接口和1路CAN接口

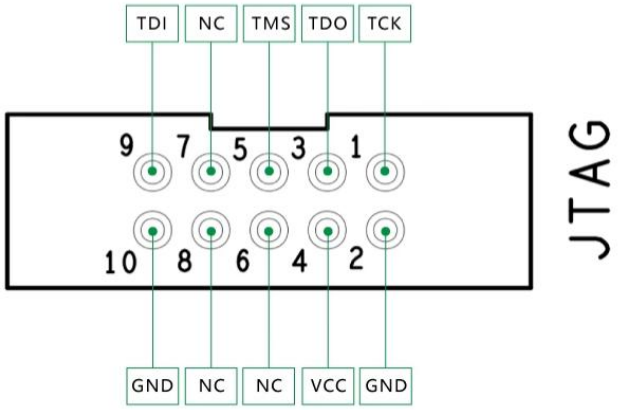


FPGA引脚分配表:

FPGA PIN	FPGA IO方向	FPGA PIN	IOSTANDARD	描述
RS485_TX0_3V3	输出	AF14	LVCMOS33	FPGA RS485_0 发送
RS485_RX0_3V3	输入	Y17	LVCMOS33	FPGA RS485_0 接收
RS485_DE0_3V3	输出	AF15	LVCMOS33	FPGA RS485_0方向控制:0接收 1发送
CAN0TX_3V3	输出	AC16	LVCMOS33	FPGA CAN0 发送
CAN0RX_3V3	输入	AC17	LVCMOS33	FPGA CAN0 接收

23：JTAG接口

底板具有路JTAG接口，用于在线调试，程序下载,米联客采用2X5X2.0间距的JTAG连接器具有更加紧凑的尺寸。JTAG接口不支持热插拔，正确使用JTAG请参考此网页: https://www.uisrc.com/t-3292.html



24：FEP高速扩展接口

FEP接口为米联客自定义的低成本高速接口，相比FMC接口具有更好的成本控制，更小的尺寸，焊接更加方便，普通单端GPIO 250Mbps, LVDS高速IO 1.5Gbps ,GT专用高速IO 3Gbps传输,满足大多数的应用场景。
（MLK-CZ10仅支持使用FEPA，MLK-CZ11可以使用FEPA和FEPB）



_P代表了当使用差分信号的时候代表了差分信号的P;
_N代表了当使用差分信号的时候代表了差分信号的N;

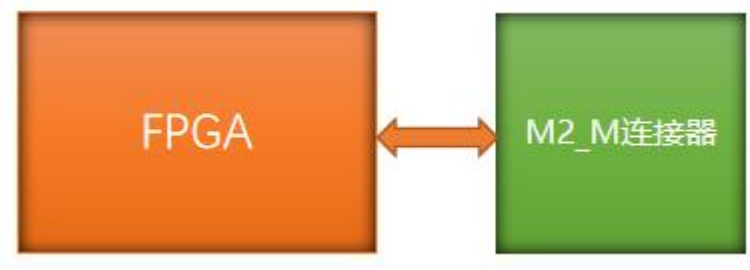
FEPA										
连接器PIN		FPGA PIN	连接器PIN		FPGA PIN	连接器PIN		FPGA PIN	连接器PIN		FPGA PIN
A1		FEPA_5V0	B1		FEPA_5V0	C1		FEPA_5V0	D1		FEPA_5V0
A2		GND	B2		GND	C2		GND	D2		GND
A3		GND	B3		GND	C3		NC	D3		NC
A4	_P	G10	B4	_P	G12	C4		NC	D4		NC
A5	_N	F10	B5	_N	G11	C5		NC	D5		NC
A6	_P	E10	B6	_P	H13	C6		NC	D6		NC
A7	_N	D10	B7	_N	H12	C7		NC	D7		NC
A8	_P	C11	B8	_P	G14	C8		NC	D8		NC
A9	_N	B11	B9	_N	F14	C9		NC	D9		NC
A10	_P	F12	B10	_P	K13	C10		NC	D10		NC
A11	_N	E12	B11	_N	J13	C11		NC	D11		NC
A12		GND	B12		GND	C12		GND	D12		GND
A13	_P	C12	B13	_P	F13	C13		NC	D13		NC
A14	_N	B12	B14	_N	E13	C14		NC	D14		NC
A15	_P	D13	B15	_P	D15	C15		NC	D15		NC
A16	_N	C13	B16	_N	D14	C16		NC	D16		NC
A17	_P	C14	B17	_P	J14	C17		NC	D17		NC
A18	_N	B14	B18	_N	H14	C18		NC	D18		NC
A19	_P	E11	B19	_P	K15	C19		NC	D19		NC
A20	_N	D11	B20	_N	J15	C20		NC	D20		NC
A21		GND	B21		GND	C21		GND	D21		GND
A22	_P	A13	B22	_P	F15	C22		NC	D22		NC
A23	_N	A12	B23	_N	E15	C23		NC	D23		NC

A24	_P	B16	B24	_P	G16	C24		NC	D24		NC
A25	_N	B15	B25	_N	G15	C25		NC	D25		NC
A26	_P	A15	B26	_P	C17	C26		NC	D26		NC
A27	_N	A14	B27	_N	C16	C27		NC	D27		NC
A28	_P	B17	B28	_P	E16	C28		NC	D28		NC
A29	_N	A17	B29	_N	D16	C29		NC	D29		NC
A30		GND	B30		GND	C30		GND	D30		GND

25：M2_M高速扩展接口

底板具有 1 路M2_M高速扩展接口，包含一组 GT BANK(MGT111) 和 10GPIO/5 对差分；其中GT部分的IO为高速专用IO不需要约束电平属性。

（注：XC7Z030FFG676-2I无MGT111，因此无法使用M2_M接口；XC7Z035FFG676-2I和XC7Z045FFG676-2I都可使用M2_M接口）

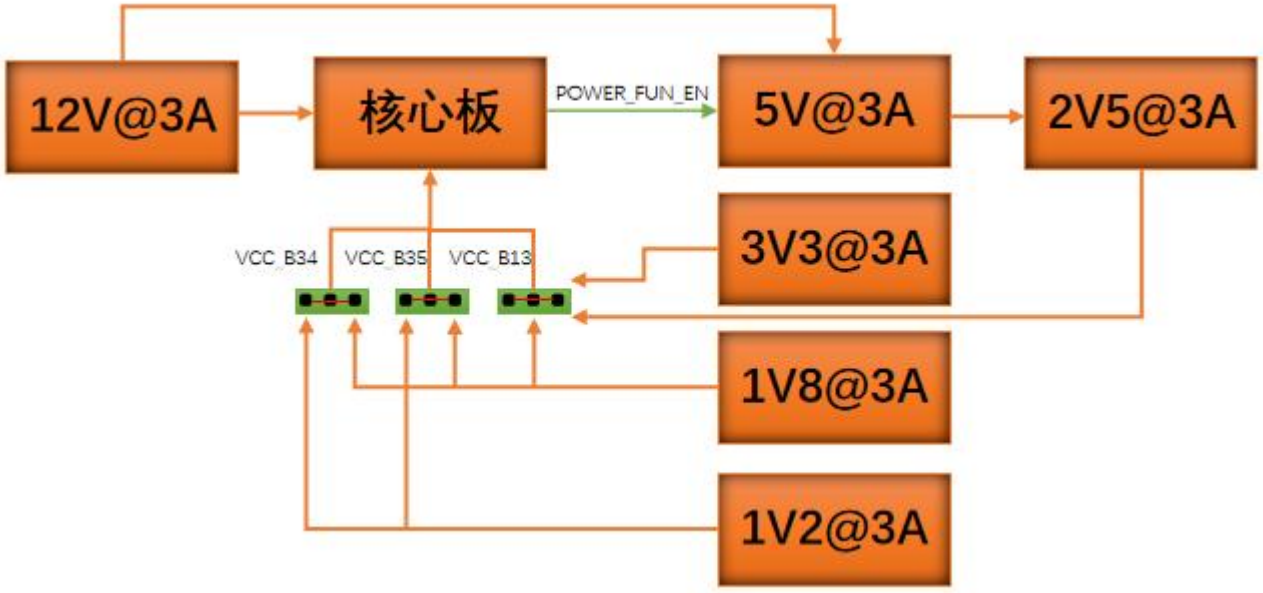


M2_M接口引脚分配表:

M2_M PIN	FPGA IO方向	FPGA PIN
MGT111_TX0+	差分输出	AF8
MGT111_TX0-	差分输出	AF7
MGT111_TX1+	差分输出	AF4
MGT111_TX1-	差分输出	AF3
MGT111_TX2+	差分输出	AE2
MGT111_TX2-	差分输出	AE1
MGT111_TX3+	差分输出	AC2
MGT111_TX3-	差分输出	AC1
MGT111_RX0+	差分输入	AD8
MGT111_RX0-	差分输入	AD7
MGT111_RX1+	差分输入	AE6
MGT111_RX1-	差分输入	AE5
MGT111_RX2+	差分输入	AC6
MGT111_RX2-	差分输入	AC5
MGT111_RX3+	差分输入	AD4
MGT111_RX3-	差分输入	AD3
LVDS1_P	双向	AA25
LVDS1_N	双向	AB25
LVDS2_P	双向	AF24
LVDS2_N	双向	AF25
LVDS3_P	双向	AE25
LVDS3_N	双向	AE26
LVDS4_P	双向	AD25
LVDS4_N	双向	AD26
LVDSCLK_P	双向	AC23
LVDSCLK_N	双向	AC24

26：底板电源管理

底板通过12V给核心板供电，核心板有上电顺序要求，通过核心板提供POWER_FUN_EN使能底板上的5V/3.3V/1.8V/1.2V，并且通过跳线帽可以选择提供何种电压给核心板的IO BANK.



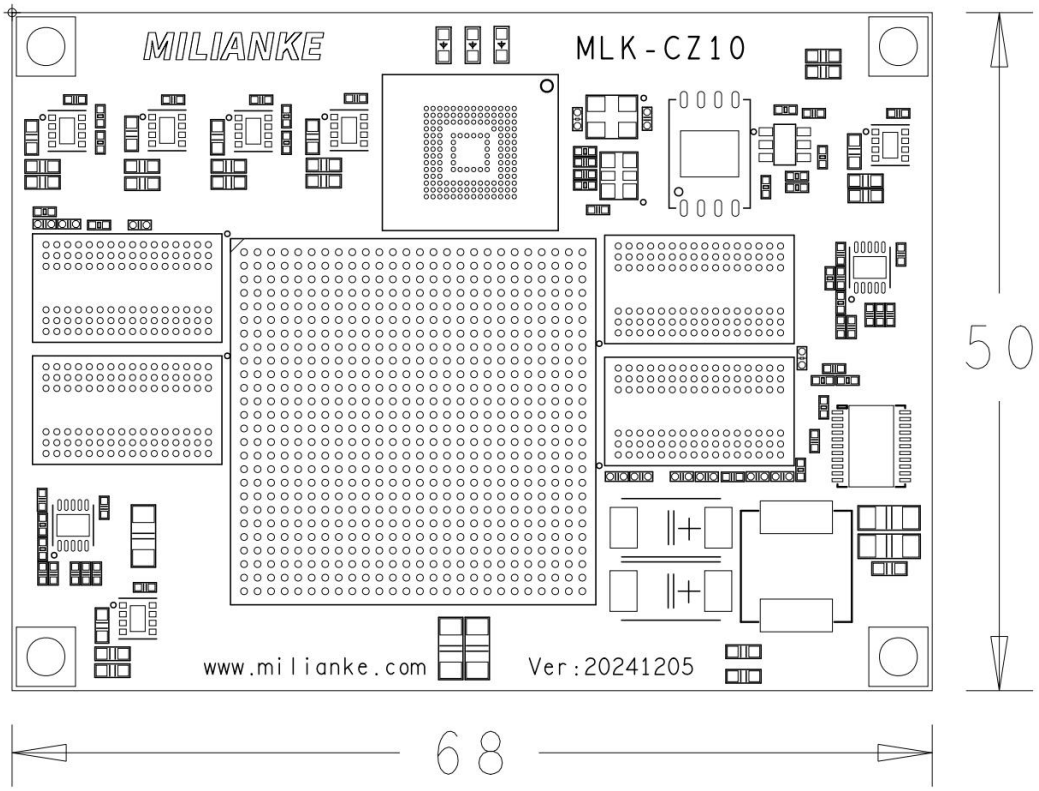
27：散热片



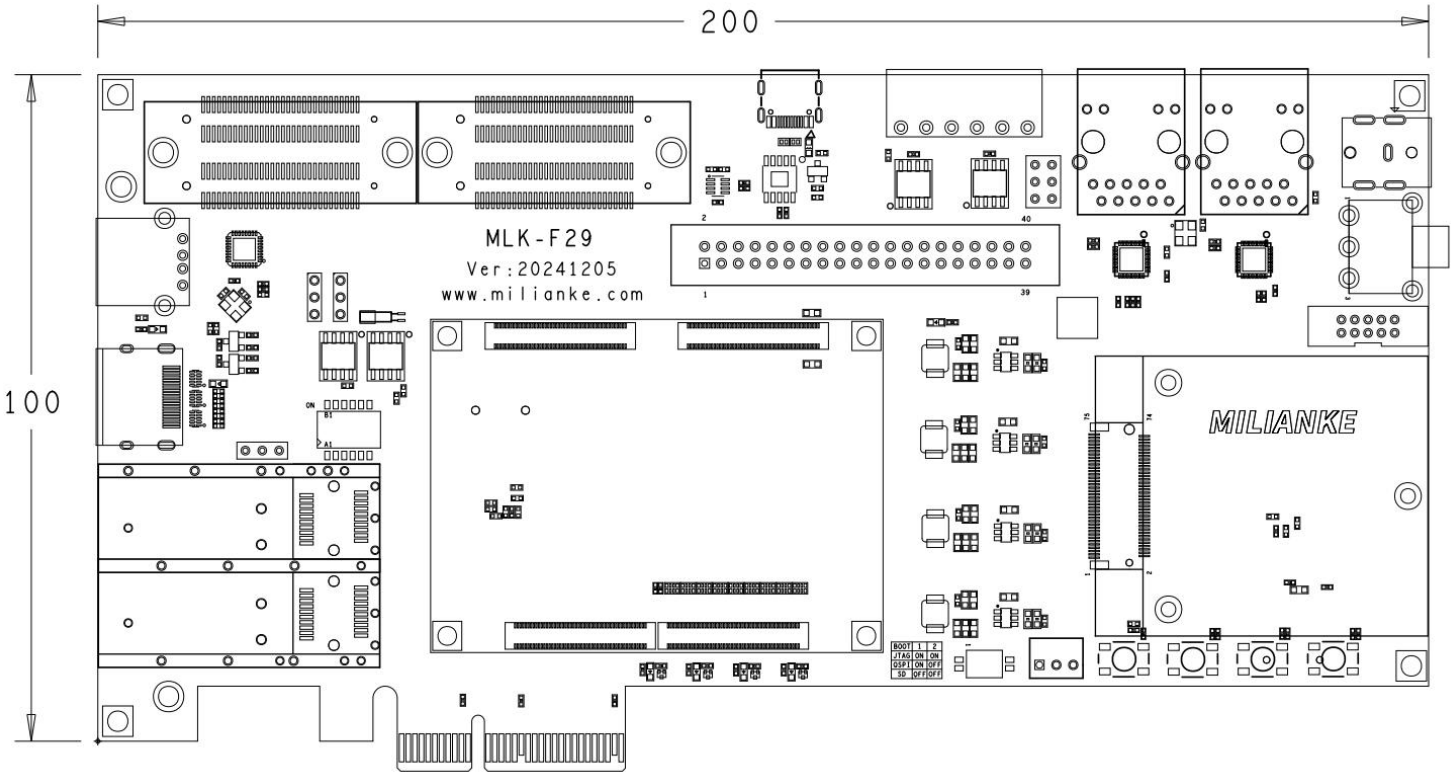
FPGA 正常工作时会产生大量的热量，开发板主芯片增加了一个散热片，防止芯片过热。若使用时还是过热可自行添加风扇，底板上有风扇的预留接口。

28：结构尺寸图

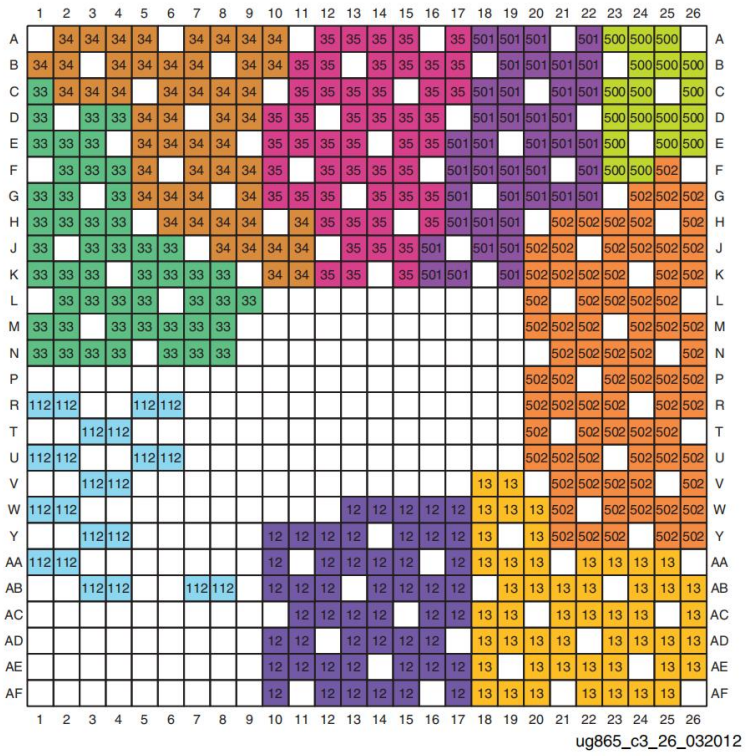
核心板结构尺寸图：50（mm）x 68（mm）PCB：14 层



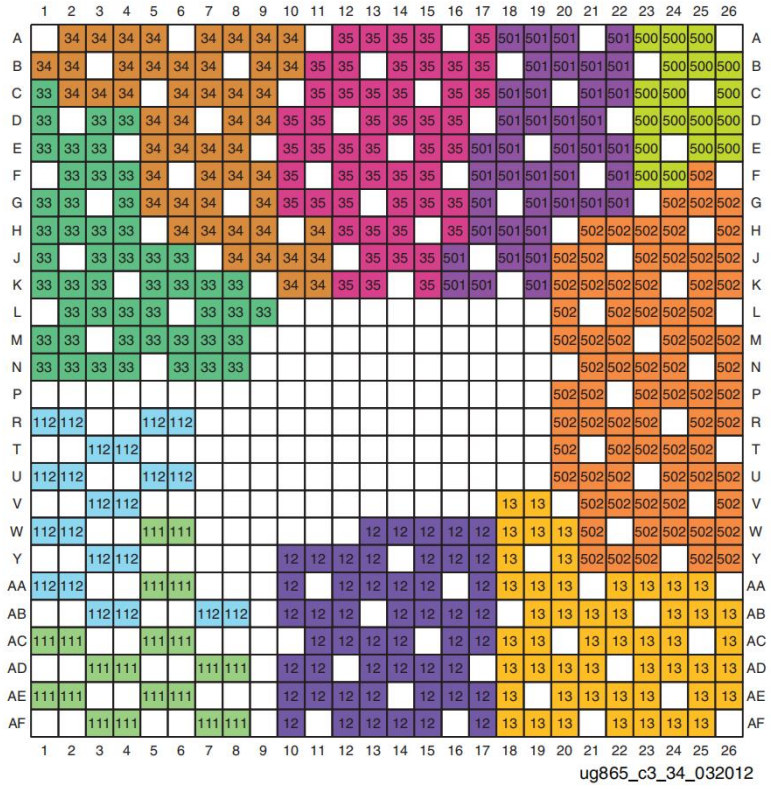
底板尺寸结构图：100（mm）x200（mm） PCB：8 层



6 XC7Z030/XC7Z035/XC7Z045-2FFG676I BANK分布



FF676/FFG676/FFV676/RF676 Packages—XC7Z030 and XQ7Z030 I/O Banks

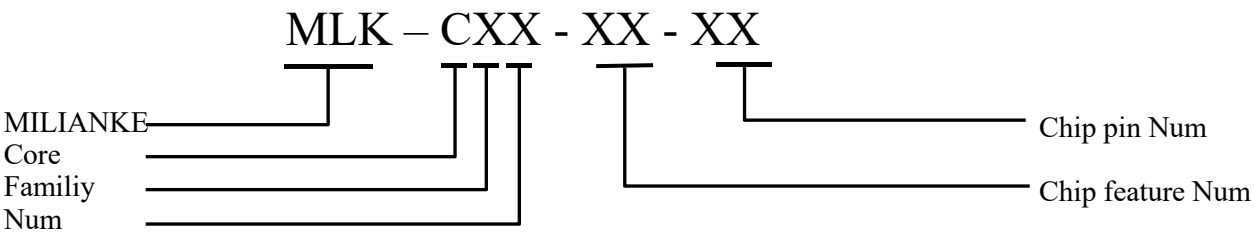


FF676/FFG676/FFV676/RF676/RFG676 Packages—XC7Z035, XC7Z045, and XQ7Z045 I/O Banks

7 命名规则

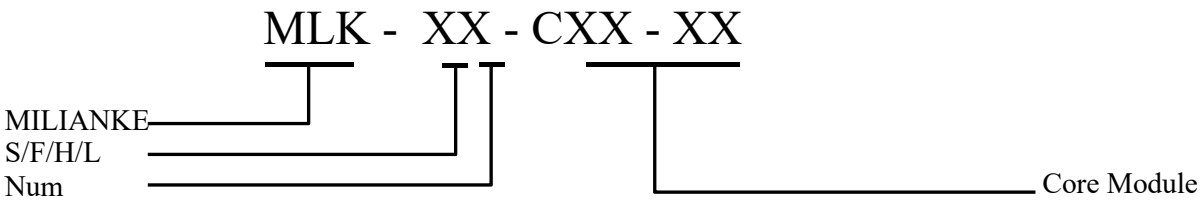
米联客硬件全新启用新的命名规则，对于老的型号，两个名字会同时使用

1：核心模块命名规则



2：开发平台命名规则

S-代表单板
F-代表核心板+底板方式的FEP扩展接口的开发平台
H-代表核心板+底板方式的FMC-HPC扩展接口的开发平台
L-代表核心板+底板方式的FMC-LPC扩展接口的开发平台



附录1 常见问题

1：联系方式

技术交流群网址： https://www.uisrc.com/f-380.html查看最新可以加入的QQ群

技术微信：18951232035
技术电话：18951232035

官方微信公众号（新微信公众号）：

2：售后

1、7天无理由退货(人为原因除外)
2、质保期限：本司产品自快递签收之日起，提供一年质保服务(主芯片，比如FPGA 或者CPU等除外)。
3、维修换货，需提供淘宝订单编号或合同编号，联系销售/技术支持安排退回事宜。
售后维修请登录工单系统：https://www.uisrc.com/plugin.php?id=x7ree_service
4、以下情形不属于质保范畴。

A:由于用户使用不当造成板子的损坏：比如电压过高造成的开发板短路，自行焊接造成的焊盘脱落、铜线起皮等

B:用户日常维护不当造成板子的损坏：比如放置不当导致线路板腐蚀、基板出现裂纹等

5、质保范畴外（上方第4条）及质保期限以外的产品，本司提供有偿维修服务。维修仅收取器件材料成本，往返运费全部由客户承担。

6、寄回地址，登录网页获取最新的售后地址：https://www.uisrc.com/t-1982.html

3：销售

天猫米联客旗舰店：https://milianke.tmall.com
京东米联客旗舰店：https://milianke.jd.com/
FPGA|SOC生态店：https://milianke.taobao.com

销售电话：18921033576

常州溧阳总部：常州溧阳市中关村吴潭渡路雅创高科制造谷 10-1幢楼

4：在线视频

https://www.uisrc.com/video.html

5：软件下载

https://www.uisrc.com/f-download.html