版本信息：

版本 REV2025

时间 01/24/2025

MLK-CZ10-7030-035-045DDRMAX核心板硬件手册

电子版自学资料

常州一二三电子科技有限公司
常州米联客电子科技有限公司
版权所有

米联客FPGA|SOC生态QQ群05(XILINX)(新群):554101168
米联客FPGA|SOC生态QQ群04(XILINX)(已满):516869816
米联客FPGA|SOC生态QQ群03(XILINX)(已满):543731097
米联客FPGA|SOC生态QQ群02(XILINX)(已满):86730608
米联客FPGA|SOC生态QQ群01(XILINX)(已满):34215299

如果QQ群全满无法加入，请登录网址: https://www.uisrc.com/f-380.html查看最新可以加入的QQ群

微信扫码注册米联客技术论坛www.uisrc.com免费享受更多资源

扫码关注微信公众平台“米联客(MILIANKE)”掌握更多信息动态

手册版本	核心板硬件版本	描述
V1.0	2025-1-24	第一版

目录

MLK-CZ10-7030-035-045DDRMAX核心板硬件手册 1
1 产品概述 5
2 硬件参数概述 5
3 核心模块 6
4 硬件详细描述 7
1:ZYNQ SOC 7
2:DDR 内存 8
2-1:PS DDR 8
2-2:PL DDR 9
3:QSPI 10
4:EMMC 11
5:PS 系统时钟 11
6:PL 时钟 12
7:上电复位 12
8:散热片 13
5 电源管理 13
7 结构尺寸图 16
8 XC7Z030/XC7Z035/XC7Z045-2FFG676I BANK分布 17
9 命名规则 18
1：核心模块命名规则 18
2：开发平台命名规则 18
附录1:常见问题 19
1联系方式 19
2售后 19
3销售 19
4在线视频 19
5软件下载 19

用户须知—使用必看

开发板使用人员：

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。

2、请使用稳压电源供电，不要使用纹波较大的电源供电。

3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。

4、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

常州米联客信息科技有限公司

技术服务部

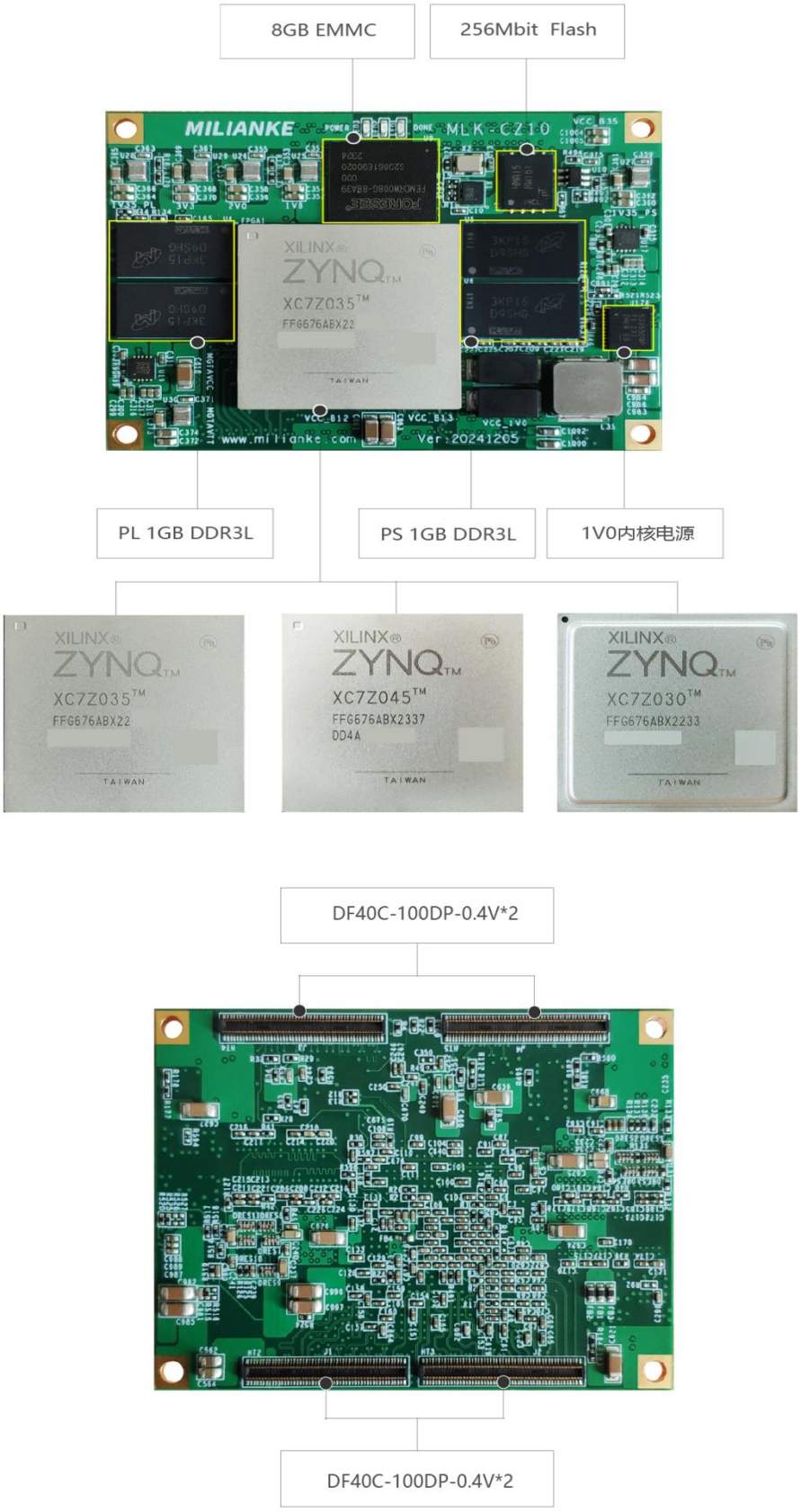
1 产品概述

MLK-CZ10-7030-035-045DDRMAX 核心模块是米联客电子 Zynq 系列开发平台的全新高端产品。其核心模块集成电源管理：1.0V 核心电源，最大输出 30A。用户基于核心模块设计功能底板（提供功能底板设计方案）。降低项目功能底板设计难度和生产成本，加速项目开发。其应用领域包含高速通信；机器视觉、伺服系统、视频采集、消费电子；项目研发前期验证；电子类相关专业开发人员学习。

2 硬件参数概述

MLK-CZ10-7030-035-045DDRMAX 核心板硬件参数				
SOC 型号	XC7Z030FFG676-2I/ XC7Z035FFG676-2I/XC7Z045FFG676-2I			
ARM 主要参数	Cortex-A9 双核主频 800MHz			
ZYNQ 主要参数	型号	XC7Z030FFG676-2I	XC7Z035FFG676-2I	XC7Z045FFG676-2I
	架构	Kintex7	Kintex7	Kintex7
	速度等级	-2	-2	-2
	逻辑单元(Logic Cells)	125K	275K	350K
	查找表(LUTs)	78600	171900	218600
	Block RAM(#36kb Blocks)	9.3Mb	17.6Mb	19.1Mb
	DSP(DSP slices)	400	900	900
	触发器(Flip-flops)	157200	343800	437200
	GTX Transceivers	4 对	8 对	8 对
核心电源	1.0V 电源最大输出 30A			
PS DDR	DDR3L 1GB 1066MHz*32bits			
PL DDR	DDR3L 1GB 1600MHz*32bits			
EMMC	8GB			
FLASH	256Mbit QSPI-Flash			
PS 晶振	33.333333MHz(核心模块上)			
PL 晶振	差分 100MHz(核心模块上)			
电源输入	核心模块	12V@3A		
	功能底板	12V@3A		
连接型号	核心模块	DF40C-100DP-0.4V*4		
	底板	DF40HC-100DS-0.4V*4		
外形尺寸	核心模块	50mm*68mm		
	功能底板	200mm*105mm		
	连接器合高	3mm		

3 核心模块


8GB EMMC
256Mbit Flash
MILIANKE
MLK-CZ10
XILINX
ZYNQ
XC7Z035
FFG676ABX22
TAIWAN
www.milianke.com
Ver:20241205
PL 1GB DDR3L
PS 1GB DDR3L
1V0内核电源
XILINX
ZYNQ
XC7Z035
FFG676ABX22
TAIWAN
XILINX
ZYNQ
XC7Z045
FFG676ABX2337
DD4A
TAIWAN
XILINX
ZYNQ
XC7Z030
FFG676ABX2233
TAIWAN
DF40C-100DP-0.4V*2
DF40C-100DP-0.4V*2

4 硬件详细描述

1:ZYNQ SOC



核心模块搭载了一颗XILINX可编程SOC芯片XC7Z030/035/045-FFG676-2I。该芯片集成了ARM Cortex-A9双核CPU以及可编程逻辑单元，同时具备了硬件编程和软件编程功能。

SOC 型号	XC7Z030FFG676-2I/ XC7Z035FFG676-2I/XC7Z045FFG676-2I			
ARM 主要参数	Cortex-A9 双核主频 800MHz			
ZYNQ 主要参数	型号	XC7Z030FFG676-2I	XC7Z035FFG676-2I	XC7Z045FFG676-2I
	架构	Kintex7	Kintex7	Kintex7
	速度等级	-2	-2	-2
	逻辑单元(Logic Cells)	125K	275K	350K
	查找表(LUTs)	78600	171900	218600
	Block RAM(#36kb Blocks)	9.3Mb	17.6Mb	19.1Mb
	DSP(DSP slices)	400	900	900
	触发器(Flip-flops)	157200	343800	437200
	GTX Transceivers	4 对	8 对	8 对

引出IO:

核心模块	MLK-CZ10-7030-035-045DDRMAX
引出GTX	XC7Z030：4对GTX XC7Z035/045：8对GTX
引出PS端MIO	38个IO
引出PL端IO	HP：48GPIO 24对差分对 BANK35：ADJ电压支持1.2V/1.8V HR：96GPIO 48对差分对 BANK13：ADJ电压支持1.8V/2.5V/3.3V BANK12：ADJ电压支持1.8V/2.5V/3.3V（底板默认3.3V）

2:DDR 内存



核心模块搭载了 4 片镁光（Micron）DDR3L 内存。2 片与 ZYNQ 的 PS 内存接口相连；另外 2 片与 FPGA 的 PL 连接，用户可通过 MIG 访问 PL 部分的内存。

单片 DDR 内存大小是 512MB ，数据接口是 16bit。PS 端 2片内存组成 32bit 数据接口， 内存大小 1GB，内存数据主频高达 1066MHZ，数据带宽可达 1066MHz*32bit。PL 端 2 片内存组成 32bit 数据接口，内存大小 1GB ，内存数据主频高达 1600MHZ，数据带宽可达 1600MHz*32bit。

注意： 由于 Vivado 软件中 DDR 的型号不全，为兼容核心模块使用的DDR,使用软件时，选择 MT41K256M16 RE-125,核心模块根据市场供货，以及商业及工业级会选用以下几种型号进行量产：

MT41K256M16TW-107:P(商业级 DDR 用于商业级核心模块)

MT41K256M16TW-107 IT:P(工业级 DDR 用于工业级核心模块)

MT41K256M16TW-107AAT:P (车规级 DDR 用于工业级核心模块)

2-1:PS DDR

PS DDR 无需进行 PIN 脚约束，使用的时候只需要对 ZYNQ IP 的 DDR 配置部分正确设置相关参数。



ZYNQ PS DDR引脚分配表：

DDR DATA	ZYNQ PIN	IOSTANDARD	DDR DATA	ZYNQ PIN	IOSTANDARD
ddr3_dq[0]	H26	SSTL135	ddr3_addr[0]	K22	SSTL135
ddr3_dq[1]	J23	SSTL135	ddr3_addr[1]	K20	SSTL135
ddr3_dq[2]	J25	SSTL135	ddr3_addr[2]	N21	SSTL135
ddr3_dq[3]	H23	SSTL135	ddr3_addr[3]	L22	SSTL135
ddr3_dq[4]	J26	SSTL135	ddr3_addr[4]	M20	SSTL135
ddr3_dq[5]	F25	SSTL135	ddr3_addr[5]	N22	SSTL135
ddr3_dq[6]	J24	SSTL135	ddr3_addr[6]	L20	SSTL135
ddr3_dq[7]	G26	SSTL135	ddr3_addr[7]	J21	SSTL135
ddr3_dq[8]	K23	SSTL135	ddr3_addr[8]	T20	SSTL135
ddr3_dq[9]	K26	SSTL135	ddr3_addr[9]	U20	SSTL135
ddr3_dq[10]	N23	SSTL135	ddr3_addr[10]	M22	SSTL135
ddr3_dq[11]	M25	SSTL135	ddr3_addr[11]	H21	SSTL135
ddr3_dq[12]	M24	SSTL135	ddr3_addr[12]	P20	SSTL135
ddr3_dq[13]	M26	SSTL135	ddr3_addr[13]	J20	SSTL135
ddr3_dq[14]	L23	SSTL135	ddr3_addr[14]	R20	SSTL135
ddr3_dq[15]	N24	SSTL135	ddr3_ba[0]	U22	SSTL135
ddr3_dq[16]	W26	SSTL135	ddr3_ba[1]	T22	SSTL135
ddr3_dq[17]	U24	SSTL135	ddr3_ba[2]	R22	SSTL135
ddr3_dq[18]	W23	SSTL135	ddr3_cas_b	Y23	SSTL135
ddr3_dq[19]	V24	SSTL135	ddr3_ras_b	V23	SSTL135

ddr3_dq[20]	Y26	SSTL135	ddr3_we_b	V22	SSTL135
ddr3_dq[21]	U25	SSTL135	ddr3_cke[0]	U21	SSTL135
ddr3_dq[22]	Y25	SSTL135	ddr3_odt[0]	Y22	SSTL135
ddr3_dq[23]	U26	SSTL135	ddr3_cs_b	Y21	SSTL135
ddr3_dq[24]	N26	SSTL135	ddr3_drst_b	H22	SSTL135
ddr3_dq[25]	R26	SSTL135	ddr3_ck_p[0]	R21	SSTL135
ddr3_dq[26]	P23	SSTL135	ddr3_ck_n[0]	P21	SSTL135
ddr3_dq[27]	T23	SSTL135			
ddr3_dq[28]	R23	SSTL135			
ddr3_dq[29]	T25	SSTL135			
ddr3_dq[30]	P24	SSTL135			
ddr3_dq[31]	T24	SSTL135			
ddr3_dm[0]	G24	SSTL135			
ddr3_dm[1]	K25	SSTL135			
ddr3_dm[2]	V26	SSTL135			
ddr3_dm[3]	P26	SSTL135			
ddr3_dqsp[0]	H24	SSTL135			
ddr3_dqsn[0]	G25	SSTL135			
ddr3_dqsp[1]	L24	SSTL135			
ddr3_dqsn[1]	L25	SSTL135			
ddr3_dqsp[2]	W24	SSTL135			
ddr3_dqsn[2]	W25	SSTL135			
ddr3_dqsp[3]	P25	SSTL135			
ddr3_dqsn[3]	R25	SSTL135			

2-2:PL DDR

PL 部分 DDR 需要使用到 MIG 配置，PIN 脚约束需要在 MIG 中定义。通过阅读引脚分配表，可以快速正确定位 FPGA 的 PIN 脚号，比如 PL-DDR3-DM1 对应于 FPGA 的 K5 脚，PL-DDR3-DQ8 对应于 FPGA 的 N6 脚。



ZYNQ PL DDR引脚分配表：

DDR DATA	ZYNQ PIN	IOSTANDARD	DDR DATA	ZYNQ PIN	IOSTANDARD
ddr3_dq[0]	M2	SSTL135	ddr3_addr[0]	C9	SSTL135
ddr3_dq[1]	L4	SSTL135	ddr3_addr[1]	J10	SSTL135
ddr3_dq[2]	L2	SSTL135	ddr3_addr[2]	C4	SSTL135
ddr3_dq[3]	M6	SSTL135	ddr3_addr[3]	A2	SSTL135
ddr3_dq[4]	N1	SSTL135	ddr3_addr[4]	F8	SSTL135
ddr3_dq[5]	N4	SSTL135	ddr3_addr[5]	B7	SSTL135
ddr3_dq[6]	M1	SSTL135	ddr3_addr[6]	H7	SSTL135
ddr3_dq[7]	M4	SSTL135	ddr3_addr[7]	A7	SSTL135
ddr3_dq[8]	N6	SSTL135	ddr3_addr[8]	H6	SSTL135
ddr3_dq[9]	J5	SSTL135	ddr3_addr[9]	D5	SSTL135
ddr3_dq[10]	N7	SSTL135	ddr3_addr[10]	J8	SSTL135
ddr3_dq[11]	J6	SSTL135	ddr3_addr[11]	E6	SSTL135
ddr3_dq[12]	K8	SSTL135	ddr3_addr[12]	J11	SSTL135
ddr3_dq[13]	K6	SSTL135	ddr3_addr[13]	G6	SSTL135
ddr3_dq[14]	M7	SSTL135	ddr3_addr[14]	D6	SSTL135

ddr3_dq[15]	K7	SSTL135	ddr3_ba[0]	E7	SSTL135
ddr3_dq[16]	D3	SSTL135	ddr3_ba[1]	F9	SSTL135
ddr3_dq[17]	F4	SSTL135	ddr3_ba[2]	B2	SSTL135
ddr3_dq[18]	D4	SSTL135	ddr3_cas_b	D9	SSTL135
ddr3_dq[19]	G4	SSTL135	ddr3_ras_b	E8	SSTL135
ddr3_dq[20]	D1	SSTL135	ddr3_we_b	F5	SSTL135
ddr3_dq[21]	E2	SSTL135	ddr3_cke[0]	G9	SSTL135
ddr3_dq[22]	C1	SSTL135	ddr3_odt[0]	B6	SSTL135
ddr3_dq[23]	E1	SSTL135	ddr3_cs_b	D8	SSTL135
ddr3_dq[24]	L3	SSTL135	ddr3_drst_b	A5	SSTL135
ddr3_dq[25]	H1	SSTL135	ddr3_ck_p[0]	C8	SSTL135
ddr3_dq[26]	K3	SSTL135	ddr3_ck_n[0]	C7	SSTL135
ddr3_dq[27]	G1	SSTL135			
ddr3_dq[28]	J4	SSTL135			
ddr3_dq[29]	H4	SSTL135			
ddr3_dq[30]	J3	SSTL135			
ddr3_dq[31]	H3	SSTL135			
ddr3_dm[0]	L5	SSTL135			
ddr3_dm[1]	K5	SSTL135			
ddr3_dm[2]	F3	SSTL135			
ddr3_dm[3]	J1	SSTL135			
ddr3_dqsp[0]	N3	SSTL135			
ddr3_dqsn[0]	N2	SSTL135			
ddr3_dqsp[1]	M8	SSTL135			
ddr3_dqsn[1]	L8	SSTL135			
ddr3_dqsp[2]	G2	SSTL135			
ddr3_dqsn[2]	F2	SSTL135			
ddr3_dqsp[3]	K2	SSTL135			
ddr3_dqsn[3]	K1	SSTL135			

3:QSPI



1片4bit SPI FLASH，型号为MT25QL256ABA1EW9-0SIT，可用于保存数据和代码。

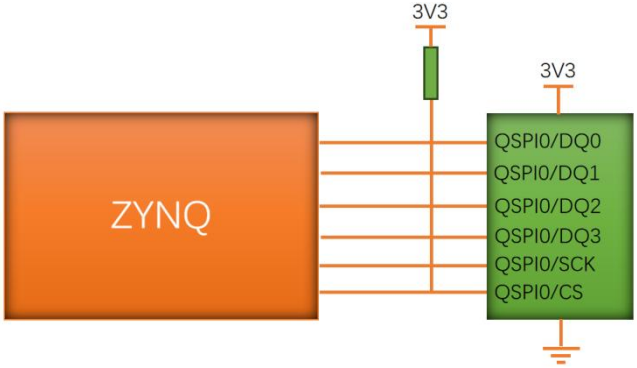
主要技术参数:256Mbit；

-x1, x2, x4 and x8 支持

-最高时钟 104 MHz， rates @ 100 MHz 8bit 模式下可以达到 800Mbs

-工作于 3.3V

-为了正确使用 QSPI FLASH 工作于 8bit 模式，MIO[1:0,8]需要被正确设置。MIO[8] 需要通过一个20K的上电阻上拉到 3.3V,让 8bit FLASH 可以工作于反馈模式。Zynq 只支持 24bit 的寻址空间，256Mb 是通过内部bank的切换实现全部访问。



ZYNQ FLASH引脚分配表：

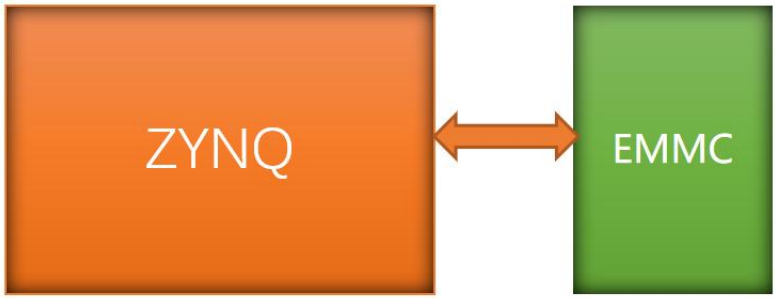
FLASH PIN	ZYNQ PIN	IOSTANDARD	FLASH PIN	ZYNQ PIN	IOSTANDARD
QSPI0/SDI/DQ0	MIO2	LVCMOS33	QSPI0/#CS	MIO1	LVCMOS33
QSPI0/SDO/DQ1	MIO3	LVCMOS33	QSPI0/SCK	MIO6	LVCMOS33
QSPI0/#WP/DQ2	MIO4	LVCMOS33			
QSPI0/#HOLD/DQ3	MIO5	LVCMOS33			

4:EMMC



核心板焊接了 8GB 大容量的 EMMC ，EMMC 连接到了 ZYNQ 的 PS 端接口， 接口采用 SD 模式。EMMC 具备体积小，容量大，使用方便，速度快等优点，数据时钟可以达到 50MHZ。由于直 接焊接在核心板上，因此可以使用在震动或者环境相对恶劣的场合。

注意:EMMC 根据应用场合供货情况会选择不同的兼容型号目前已经量产过的 EMMC 型号如下：
FEMDRW008G-88A39(工业级 EMMC 用于工业级级核心模块)
IS21EF08GA-JCLI(工业级 EMMC 用于工业级级核心模块)

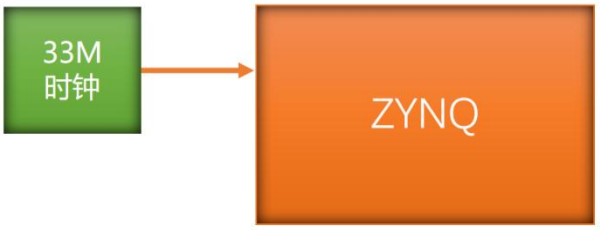


ZYNQ EMMC 引脚分配表：

EMMC PIN	ZYNQ PIN	IOSTANDARD
SD1_DAT0	MIO10	LVCMOS18
SD1_DAT1	MIO13	LVCMOS18
SD1_DAT2	MIO14	LVCMOS18
SD1_DAT3	MIO15	LVCMOS18
SD1_CMD	MIO11	LVCMOS18
SD1_CLK	MIO12	LVCMOS18

5:PS 系统时钟

对于 PS 的系统输入时钟只需要在 ZYNQ IP 核中正确设置时钟频率， 不需要进行 PIN 脚约束。

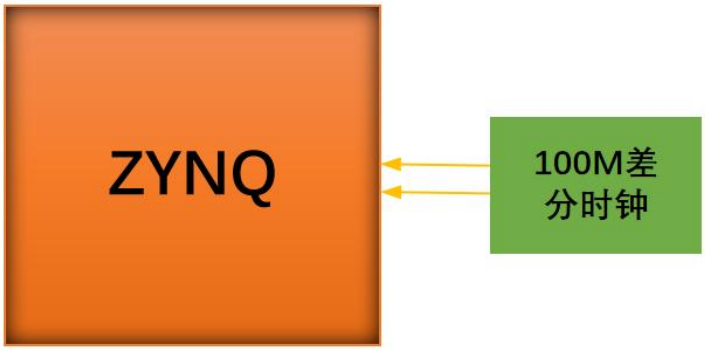


ZYNQ PS 时钟引脚分配表：

时钟 PIN	方向	ZYNQ PIN	IOSTANDARD	描述
CLK	输入	B24		时钟输入

6:PL 时钟

PL 一路差分100M时钟接到BANK34的G7、F7脚，由于BANK34是DDR3L BANK所以定义FPGA IO时候可以使用DIFF_SSTL135电平约束。

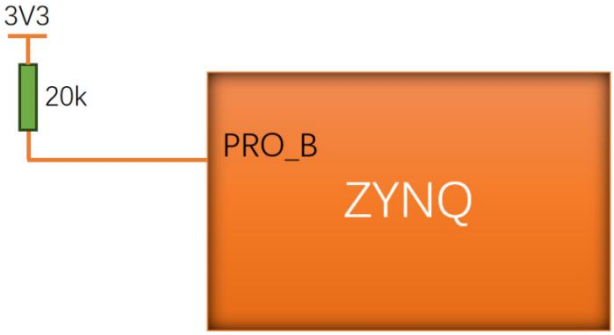


ZYNQ PL时钟引脚分配表：

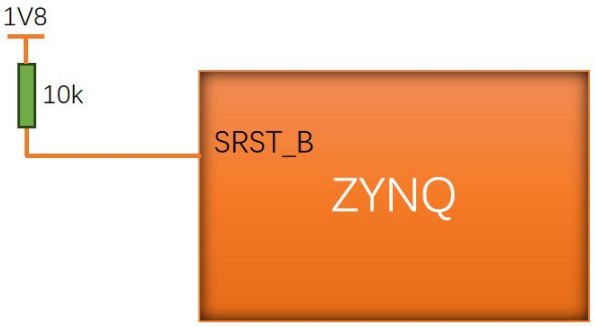
时钟 PIN	方向	ZYNQ PIN	IOSTANDARD	描述
SYSCLK_P	输入	G7	SSTL135	时钟差分输入
SYSCLK_N		F7	SSTL135	

7:上电复位

开发平台上电复位信号是 PS_POR_B，此复位信号接到电源芯片 TPS51200 的 PG 脚。



开发平台外部复位信号是 PS_RST，此复位信号接到功能底板的按键输入。



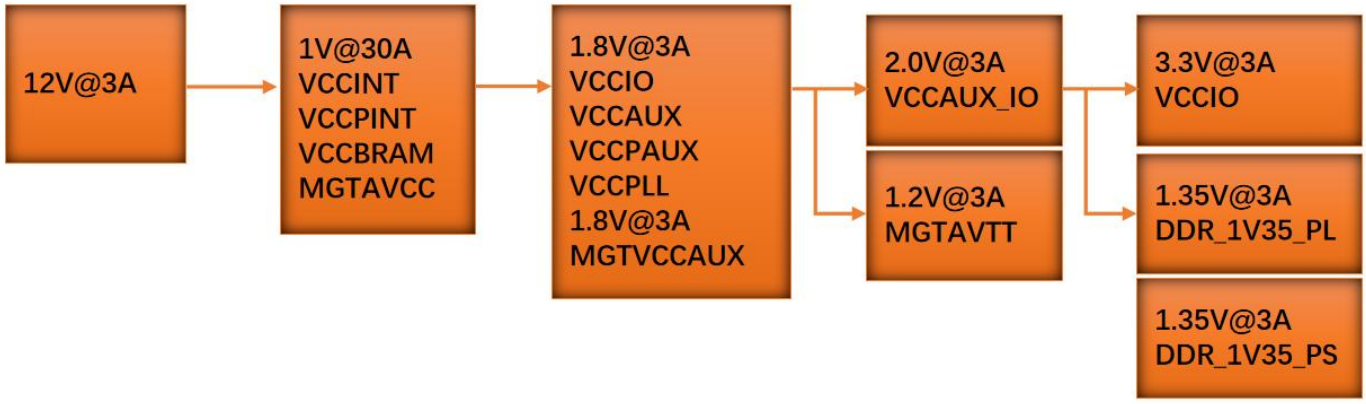
8:散热片

定制散热片，强劲散热。



5 电源管理

核心板上电时序如下图所示：



MLK-F29 底板的上电晚于核心板，其电源使能信号来自于核心板 VCC_3V3 的 PG 信号 VCC_ADJ_EN。有底板上电时序要求的客户自己设计底板时可以选择用 VCC_ADJ_EN 去使能自己底板的电源。

需注意核心板 BANK12/13/35 电压支持ADJ，电源来自于底板供应，使用到这几个BANK的 IO 时，一定要接上跳线帽。

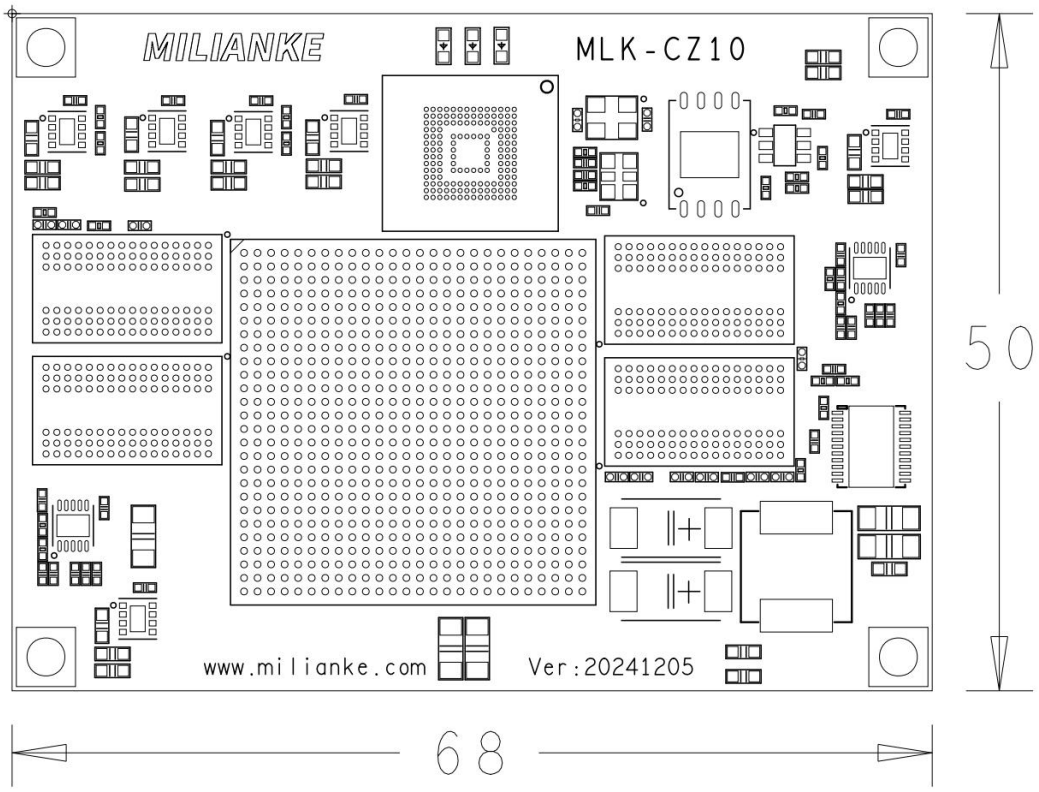
6 扩展接口

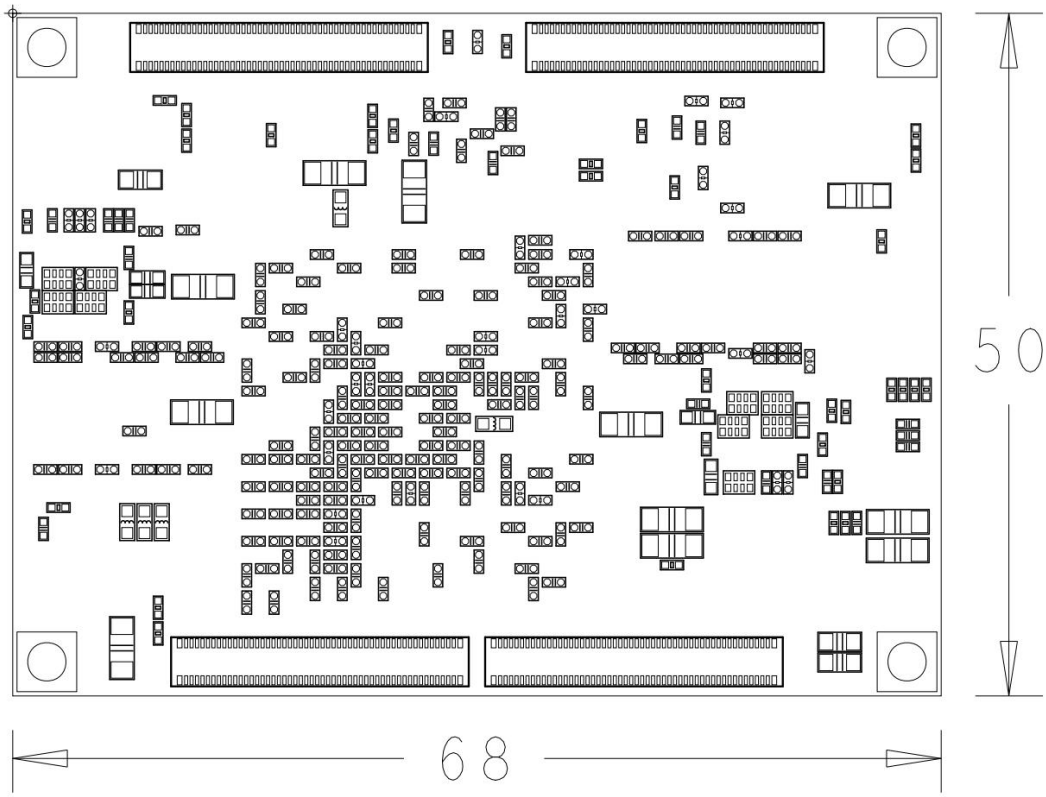
J1（HT2）				J2（HT3）			
连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN
A1	VIN_12V	B1	VIN_12V	A1	GND	B1	GND
A2	VIN_12V	B2	VIN_12V	A2	AB15	B2	W16
A3	VIN_12V	B3	VIN_12V	A3	AB14	B3	W15
A4	VIN_12V	B4	VIN_12V	A4	AE13	B4	AA15
A5	VIN_12V	B5	VIN_12V	A5	AF13	B5	AA14
A6	GND	B6	GND	A6	GND	B6	GND
A7	GND	B7	GND	A7	AE12	B7	Y16
A8	VCC_B12	B8	VCC_B13	A8	AF12	B8	Y15
A9	VCC_B12	B9	VCC_B13	A9	AC13	B9	AB12
A10	VCC_B12	B10	VCC_B13	A10	AD13	B10	AC11
A11	GND	B11	GND	A11	GND	B11	GND
A12	AD25	B12	AA25	A12	AC12	B12	W13
A13	AD26	B13	AB25	A13	AD11	B13	Y13
A14	AE25	B14	AB26	A14	AE11	B14	AA13
A15	AE26	B15	AC26	A15	AF10	B15	AA12
A16	GND	B16	GND	A16	GND	B16	GND
A17	AF24	B17	AC23	A17	AE10	B17	Y12
A18	AF25	B18	AC24	A18	AD10	B18	Y11
A19	AE23	B19	AD23	A19	AB11	B19	Y10
A20	AF23	B20	AD24	A20	AB10	B20	AA10
A21	GND	B21	GND	A21	GND	B21	GND
A22	AE22	B22	AB21	A22	R6	B22	U6
A23	AF22	B23	AB22	A23	R5	B23	U5
A24	AA24	B24	AF19	A24	GND	B24	GND
A25	AB24	B25	AF20	A25	W6	B25	AA6
A26	GND	B26	GND	A26	W5	B26	AA5
A27	AC21	B27	AA22	A27	GND	B27	GND
A28	AC22	B28	AA23	A28	AF8	B28	AD8
A29	AD20	B29	AA20	A29	AF7	B29	AD7
A30	AD21	B30	AB20	A30	GND	B30	GND
A31	GND	B31	GND	A31	AF4	B31	AE6
A32	AE20	B32	AA19	A32	AF3	B32	AE5
A33	AE21	B33	AB19	A33	GND	B33	GND
A34	AD18	B34	W20	A34	AE2	B34	AC6
A35	AD19	B35	Y20	A35	AE1	B35	AC5
A36	GND	B36	GND	A36	GND	B36	GND
A37	AC18	B37	W18	A37	AC2	B37	AD4
A38	AC19	B38	W19	A38	AC1	B38	AD3
A39	AE18	B39	Y18	A39	GND	B39	GND
A40	AF18	B40	AA18	A40	AA2	B40	AB4
A41	GND	B41	GND	A41	AA1	B41	AB3
A42	AE17	B42	AC17	A42	GND	B42	GND
A43	AF17	B43	AC16	A43	W2	B43	Y4
A44	AE16	B44	AF15	A44	W1	B44	Y3
A45	AE15	B45	AF14	A45	GND	B45	GND
A46	GND	B46	GND	A46	U2	B46	V4
A47	AD16	B47	Y17	A47	U1	B47	V3
A48	AD15	B48	AA17	A48	GND	B48	GND
A49	AB17	B49	AC14	A49	R2	B49	T4
A50	AB16	B50	AD14	A50	R1	B50	T3

J3（HT4）				J4（HT5）			
连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN
A1	VCC_B35	B1	/	A1	K15	B1	D15
A2	VCC_B35	B2	/	A2	J15	B2	D14
A3	VCC_B35	B3	/	A3	J14	B3	E11
A4	GND	B4	GND	A4	H14	B4	D11
A5	GND	B5	GND	A5	GND	B5	GND

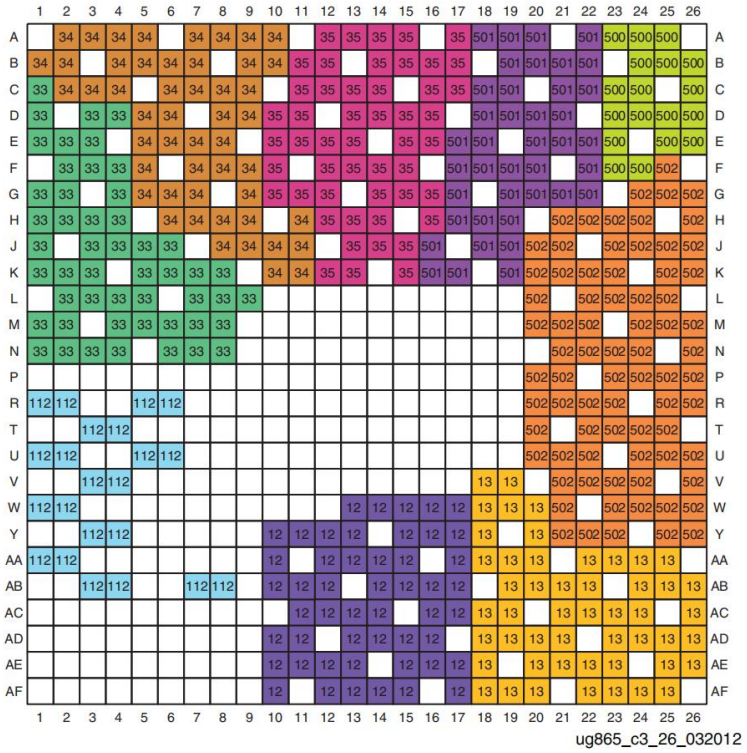
A6	GND	B6	GND	A6	F13	B6	C14
A7	/	B7	/	A7	E13	B7	B14
A8	/	B8	/	A8	K13	B8	D13
A9	/	B9	/	A9	J13	B9	C13
A10	/	B10	/	A10	GND	B10	GND
A11	GND	B11	GND	A11	G14	B11	C12
A12	MR	B12	VCCBATT	A12	F14	B12	B12
A13	PS_SRST_B	B13	POWER_FUN_EN	A13	H13	B13	F12
A14	TCK_JTAG	B14	TMS_JTAG	A14	H12	B14	E12
A15	TDO_JTAG	B15	TDI_JTAG	A15	GND	B15	GND
A16	GND	B16	GND	A16	G12	B16	C11
A17	QSPI0_D3	B17	QSPI0_D2	A17	G11	B17	B11
A18	PS_MIO22	B18	PS_MIO21	A18	G10	B18	E10
A19	PS_MIO40	B19	PS_MIO33	A19	F10	B19	D10
A20	PS_MIO50	B20	PS_MIO33	A20	GND	B20	GND
A21	GND	B21	GND	A21	/	B21	/
A22	PS_MIO16	B22	PS_MIO51	A22	/	B22	/
A23	PS_MIO18	B23	PS_MIO31	A23	/	B23	/
A24	PS_MIO19	B24	PS_MIO29	A24	/	B24	/
A25	PS_MIO20	B25	PS_MIO37	A25	GND	B25	GND
A26	GND	B26	GND	A26	/	B26	/
A27	PS_MIO23	B27	PS_MIO35	A27	/	B27	/
A28	PS_MIO25	B28	PS_MIO45	A28	/	B28	/
A29	PS_MIO27	B29	PS_MIO38	A29	/	B29	/
A30	PS_MIO42	B30	PS_MIO39	A30	GND	B30	GND
A31	GND	B31	GND	A31	/	B31	/
A32	PS_MIO30	B32	PS_MIO52	A32	/	B32	/
A33	PS_MIO24	B33	PS_MIO41	A33	/	B33	/
A34	PS_MIO26	B34	PS_MIO53	A34	/	B34	/
A35	PS_MIO32	B35	PS_MIO47	A35	GND	B35	GND
A36	GND	B36	GND	A36	/	B36	/
A37	PS_MIO28	B37	PS_MIO49	A37	/	B37	/
A38	PS_MIO17	B38	PS_MIO43	A38	/	B38	/
A39	PS_MIO36	B39	PS_MIO44	A39	/	B39	/
A40	PS_MIO34	B40	PS_MIO46	A40	GND	B40	GND
A41	GND	B41	GND	A41	/	B41	/
A42	E16	B42	B17	A42	/	B42	/
A43	D16	B43	A17	A43	/	B43	/
A44	C17	B44	A15	A44	/	B44	/
A45	C16	B45	A14	A45	GND	B45	GND
A46	GND	B46	GND	A46	/	B46	/
A47	G16	B47	B16	A47	/	B47	/
A48	G15	B48	B15	A48	/	B48	/
A49	F15	B49	A13	A49	/	B49	/
A50	E15	B50	A12	A50	GND	B50	GND

7 结构尺寸图

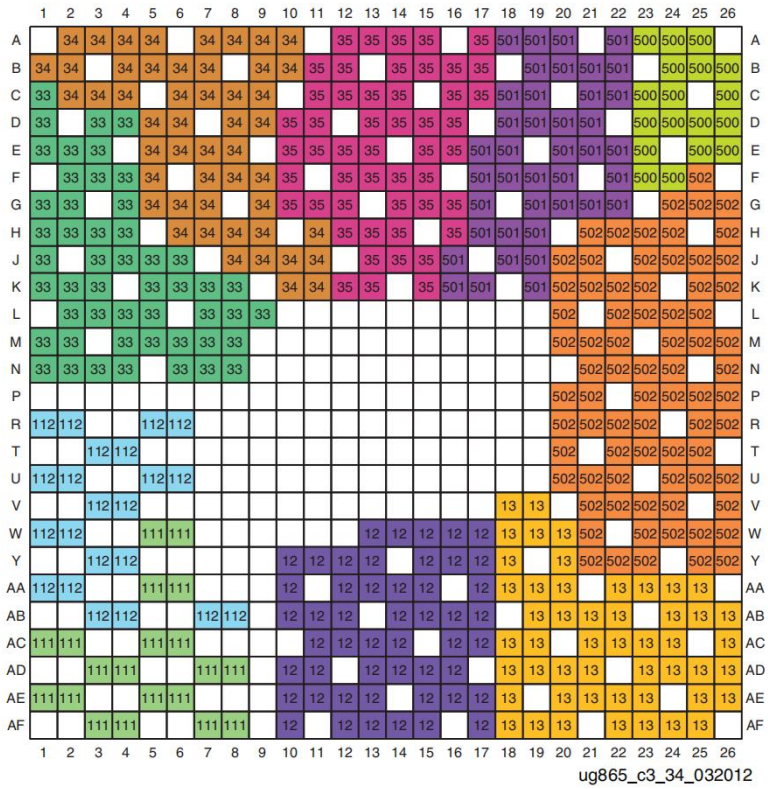




8 XC7Z030/XC7Z035/XC7Z045-2FFG676I BANK分布



FF676/FFG676/FFV676/RF676 Packages—XC7Z030 and XQ7Z030 I/O Banks

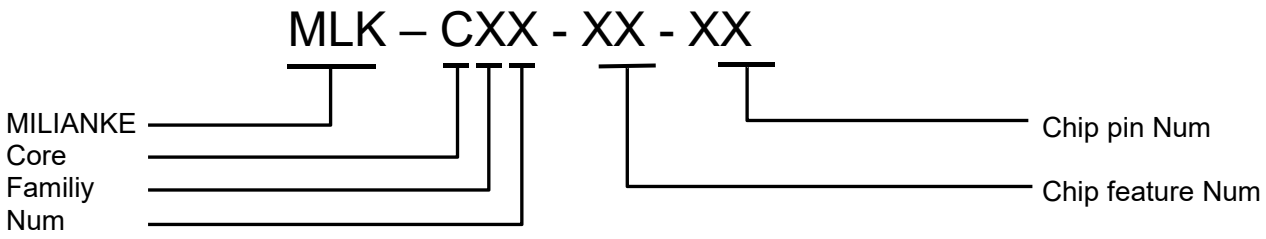


FF676/FFG676/FFV676/RF676/RFG676 Packages—XC7Z035, XC7Z045, and XQ7Z045 I/O Banks

9 命名规则

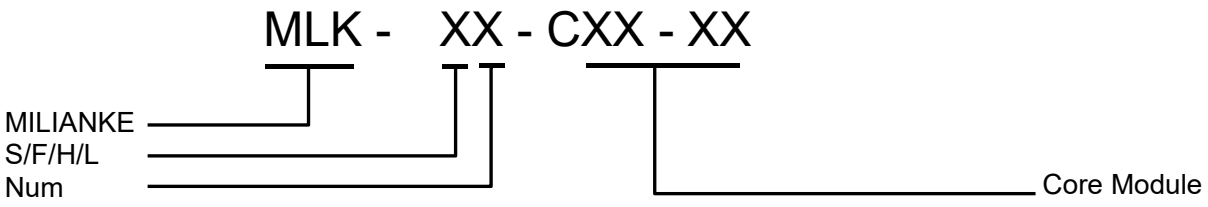
米联客硬件全新启用新的命名规则，对于老的型号，两个名字会同时使用

1：核心模块命名规则



2：开发平台命名规则

S-代表单板
F-代表核心板+底板方式的FEP扩展接口的开发平台
H-代表核心板+底板方式的FMC-HPC扩展接口的开发平台
L-代表核心板+底板方式的FMC-LPC扩展接口的开发平台



附录1:常见问题

1联系方式

技术交流群网址： https://www.uisrc.com/f-380.html查看最新可以加入的QQ群
技术微信：18951232035
技术电话：18951232035

官方微信公众号（新微信公众号）：

2售后

1、7天无理由退货(人为原因除外)
2、质保期限：本司产品自快递签收之日起，提供一年质保服务(主芯片，比如FPGA 或者CPU等除外)。
3、维修换货，需提供淘宝订单编号或合同编号，联系销售/技术支持安排退回事宜。
售后维修请登录工单系统：https://www.uisrc.com/plugin.php?id=x7ree_service
4、以下情形不属于质保范畴。
A:由于用户使用不当造成板子的损坏：比如电压过高造成的开发板短路，自行焊接造成的焊盘脱落、铜线起皮等
B:用户日常维护不当造成板子的损坏：比如放置不当导致线路板腐蚀、基板出现裂纹等
5、质保范畴外（上方第4条）及质保期限以外的产品，本司提供有偿维修服务。维修仅收取器件材料成本，往返运 费全部由客户承担。
6、寄回地址，登录网页获取最新的售后地址：https://www.uisrc.com/t-1982.html

3销售

天猫米联客旗舰店：https://milianke.tmall.com
京东米联客旗舰店：https://milianke.jd.com/
FPGA|SOC生态店：https://milianke.taobao.com
销售电话：18921033576
常州溧阳总部：常州溧阳市中关村吴潭渡路雅创高科制造谷 10-1幢楼

4在线视频

https://www.uisrc.com/video.html

5软件下载

https://www.uisrc.com/f-download.html