版本信息：

版本 V1.0

时间 15/05/2026

米联客MLK-F9P-CA05-35T-100T-开发板硬件手册

此开发板PCB兼容Xilinx-XC7A35T-2FGG484I/XC7A100T-2FGG484I

微信扫码注册米联客技术论坛 www.uisrc.com 免费享受更多资源

扫码关注微信公众平台“米联客(MILIANKE)”掌握更多信息动态

技术支持

客户可以通过以下链接获取米联客官方店铺的客服联系方式，加入米联客企业微信技术支持群，获得专业的技术支持和解答。感谢您的支持！

京东米联客旗舰店：https://milianke.jd.com
天猫米联客旗舰店：https://milianke.tmall.com
淘宝米联客生态店：https://milianke.taobao.com

售后

1：7 天无理由退货(人为原因除外)
2：质保期限：本司产品自快递签收之日起，提供一年质保服务(主芯片，比如 FPGA 或者 CPU 等除外)。
3：维修换货，需提供淘宝订单编号或合同编号，联系销售/技术支持安排退回事宜。
售后维修请登录工单系统：https://www.uisrc.com/plugin.php?id=x7ree_service
4：以下情形不属于质保范畴
A：由于用户使用不当造成板子的损坏:比如电压过高造成的开发板短路,自行焊接造成的焊盘脱落、铜线起皮等。
B：用户日常维护不当造成板子的损坏：比如放置不当导致线路板腐蚀、基板出现裂纹等
5：质保范畴外（上方第 4 条）及质保期限以外的产品，本司提供有偿维修服务。维修仅收取器件材料成本，往返运 费全部由客户承担。
6：寄回地址，登录网页获取最新的售后地址：https://www.uisrc.com/t-1982.html

常州米联客信息科技有限公司
版权所有

常州溧阳总部：常州溧阳市中关村吴潭渡路雅创高科制造谷 10-1 幢楼
南京研发基地：南京市江宁区秣陵街道吉印大道 3118 号联东 U 谷 • 南京九龙湖智造创新港 3 号

手册版本	核心板硬件版本	底板硬件版本	版本描述
V1.0	2026-05-15	2026-05-15	MLK-F9P 为全新设计底板，功能更优化，支持底板调节 MLK-CA05 核心板的 ADJ 电压。

目录

用户须知—使用必看 4
1 整体概述 1
2 硬件参数概述 1
3 核心模块 3
4 功能底板 3
5 硬件详细描述 4
1: 核心板 XC7A35T-2FGG484I/XC7A100T-2FGG484I 4
2: 核心板 DDR 内存 5
3: 核心板 PROM SPI FALSH 7
4: 核心板系统时钟 8
5: 核心板系统复位 8
6: 核心板电源管理 9
5: 核心板连接器信号定义 9
6: 核心板 JTAG 12
7: 底板 UART 12
8: 底板 RS485 12
9: 底板以太网 13
10: 底板 TF 卡 14
11: 底板 HDMI 输出接口 15
12: 底板按键输入 16
13: 底板 LED 16
14: 底板数码管 17
15: 底板 PCIE 接口 18
16: 底板 SFP 接口 19
17: 底板 GT 参考时钟输入 20
18: 底板 FEP 接口 21
19: 底板 CEP 接口 22
20：底板音频接口 23
21: 底板电源管理 24
22: 底板下载器模块 25
23: 散热片 25
6 2D 平面图尺寸 26
附录 1:命名规则 27
1 核心模块命名规则 27
2 开发平台命名规则 27

用户须知—使用必看

开发板使用人员：

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。

2、请使用稳压电源供电，不要使用纹波较大的电源供电。

3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。

4、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

常州米联电子科技有限公司

硬件研发组

1 整体概述

MLK-F9P-CA05-35T/100T 开发板是米联客 MLK-FX 系列开发平台的高性价比开发板。用户基于核心模块设计功能底板（提供功能底板设计方案），降低项目功能底板设计难度和生产成本，加速项目开发。其应用领域包含高速通信：机器视觉、伺服系统、视频采集、高速通信、仪器设备、消费电子、产品研发前期验证、学习评估。

2 硬件参数概述

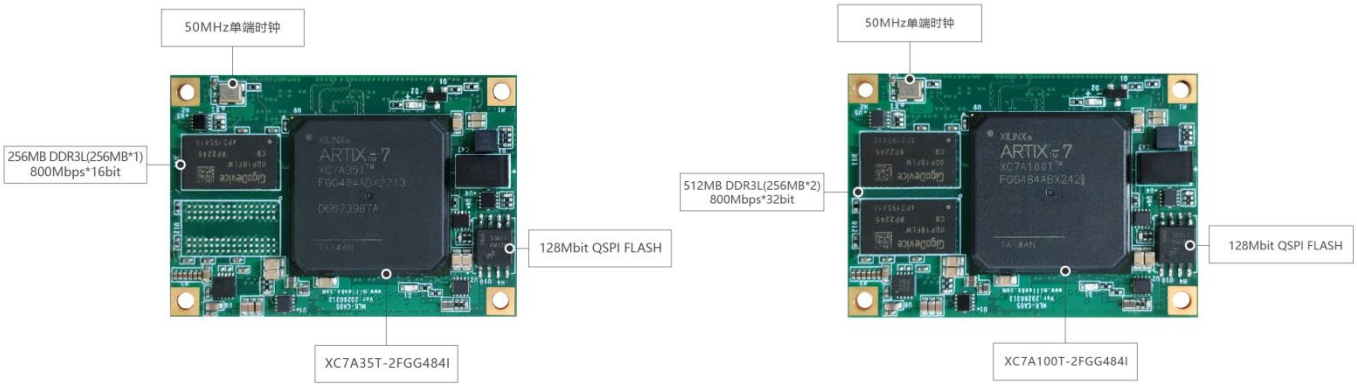
MLK-F9P-CA05-35T/100T 核心模块硬件参数				
FPGA 主要参数	型号	XC7A35T-2FGG484I		XC7A100T-2FGG484I
	逻辑单元	33280		101440
	查找表(Luts)	20800		63400
	BlockRAM(kb)	1800		4860
	DSP(DSP slices)	90		240
	触发器(Flip-flops)	41600		126800
	XADC	12bit*1(IO BANK 复用)		12bit*1(IO BANK 复用)
	GTP	4 对		4 对
	速度等级	-2		-2
	温度等级	-40°~+85°		-40°~+85°
DDR		256MB DDR3L（单片 256MB*1） 数据带宽 800Mbps*16bit		512MB DDR3L（单片 256MB*2） 数据带宽 800Mbps*32bit
FLASH	128Mbit QSPI FLASH ，用于固化程序，存放数据			
时钟输入	50MHZ 单端时钟*1			
引出 IO	IO BANK	长度/mil	阻抗/R	XC7A35T-2FGG484I
	HR-3V3-BANK12 差分	1648	100R	44/50
	HR-ADJ-BANK13 差分	1783	100R	50/50
	HR-3V3-BANK14 差分	2226	100R	50/50
	GT-1V2-BANK94 差分	/	100R	20/20
	IO 总计	144 GPIO/72 差分		
引出 IO	IO BANK	长度/mil	阻抗/R	XC7A100T-2FGG484I
	HR-3V3-BANK11 差分	1657	100R	35/35
	HR-3V3-BANK12 差分	1648	100R	44/50
	HR-ADJ-BANK13 差分	1783	100R	50/50
	HR-3V3-BANK14 差分	2226	100R	50/50
	GT-1V2-BANK94 差分	/	100R	20/20
	IO 总计	178 GPIO/89 差分		
TYPE-C UART&JTAG	底板 1 路 UART&JTAG 集成模块 底板有 1 路 TYPE-C 接口，既可用 1 路 UART 串口又可用于 JTAG 下载器			
RS485	底板 2 路 RS485			
EEPROM	底板 I2C 接口挂 24LC02 1 路			
RTC	底板 I2C 接口挂 实时时钟芯片 1 路			
AUDIO 音频	底板继承 1 路 EARPHONE 接口，1 路 MIC 接口			
数码管	底板 8 段数码管*8 动态驱动			
LED	底板 4 个			
按键	底板 4 个			
TF 卡	底板 1 路 TF 卡			
HDMI	底板 1 路 HDMI 输出 1080P@60HZ			

以太网	底板 2 路 10/100/1000 以太网，最高 1000Mbit/s			
可编程时钟	底板 1 路 CDCM610002 可编程时钟			
SFP	底板 2 路 SFP+接口			
	XC7A35T-2FGG484I		速率可达 6.6Gbps	
	XC7A100T-2FGG484I		速率可达 6.6Gbps	
PCIE2.0	底板 PCIE2.0 X2			
	XC7A35T-2FGG484I		传输速率为 5.0GT/s x2	
	XC7A100T-2FGG484I		传输速率为 5.0GT/s x2	
CEP 扩展 IO	36GPIO/18 对差分，支持 LVDS\DVP 接口相机等			
FEP 扩展 IO	48GPIO/24 对差分，差分阻抗 100R 单端阻抗 50R ±10% 支持 LVDS\ MIPI\扩展各类 FEP 模块			
	核心板		**底板**	
PCB 层数	14 层		6 层	
时钟输入	50MHZ(系统时钟)		CDCM610002(GT 使用)	
电源管理	集成电源管理，内核 1V@6A 电流		通过跳线帽修改核心板 ADJ BANK 电源	
电源输入	DC-5V		DC-12V	
外形尺寸	35（mm）x50（mm）		100（mm）x200（mm）	
连接器型号	DF40C-100DP-0.4V(51)*2 DF40C-60DP-0.4V(51) *2		DF40C-100DS-0.4V(51)*2 DF40C-60DS-0.4V(51) *2	
最大功耗	35T 5W	100T 8W	35T 6W	100T 10W
连接器合高	3mm			
散热方式	被动散热			

3 核心模块

注意：示意图只标注芯片位置，并不代表实物，使用者请根据实际使用的核心模块进行开发

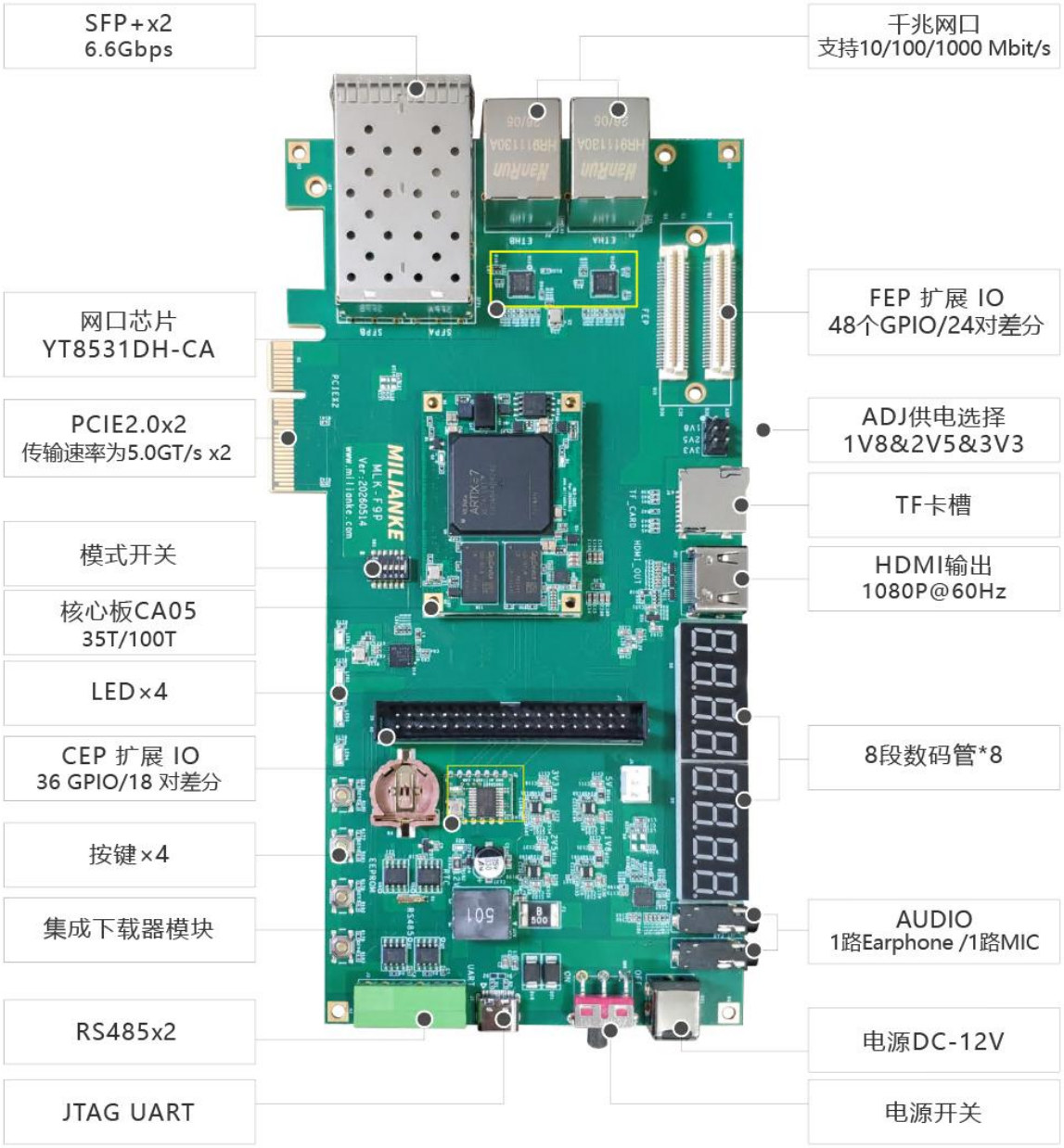
MLK-CA05-35T-100T 核心模块



4 功能底板

注意：示意图只标注芯片位置，并不代表实物，使用者请根据实际使用的功能底板进行开发。

MLK-F9P 底板



5 硬件详细描述

1: 核心板 XC7A35T-2FGG484I/XC7A100T-2FGG484I





核心模块搭载一颗 Xilinx 的 XC7A35T-2FGG484I/XC7A100T-2FGG484I 芯片。
此芯片封装是 FFG484，速度等级是-2，温度等级是工业级。

MLK-CA05 硬件参数			
芯片型号		XC7A35T-2FGG484I	XC7A100T-2FGG484I
FPGA 主要参数	构架	Artix7	Artix7
	逻辑单元(Logic Cells)	33280	101440
	查找表(Luts)	20800	63400
	BlockRAM(kb)	1800	4860
	DSP(DSP slices)	90	240
	触发器(Flip-flops)	41600	126800
	XADC	12bit*1(IO BANK 复用)	12bit*1(IO BANK 复用)
	GTP(6.6Gbps 高速收发器)	4 对	4 对
	速度等级	-2	-2
	温度等级	-40°~+85°	-40°~+85°

2: 核心板 DDR 内存



核心板最多支持 2 片 DDR3L 内存。其中 35T 为低成本方案，默认焊接 1 片 DDR3L 256MB，100T 默认焊接 2 片 DDR3L 共计 512MB。2 片 DDR3L 数据带宽可达 800Mbps*32bit，1 片 DDR3L 数据带宽可达 800Mbps*16bit。

默认焊接国产品牌 GigaDevice(兆易创新)DDR。

芯片型号	XC7A35T-2FGG484I/XC7A100T-2FGG484I
DDR 型号	GDP1BFLM-CB
DDR 单片内存大小	256MB
DDR（片）	1/2



FPGA DDR 引脚分配表：（红色字体部分为 PH1P50 默认不贴）

DDR DATA	FPGA PIN	IOSTANDARD	DDR ADDR	FPGA PIN	IOSTANDARD
DDR3L_DQ0	U3	SSTL135	DDR3L_A0	C2	SSTL135
DDR3L_DQ1	W1	SSTL135	DDR3L_A1	K2	SSTL135
DDR3L_DQ2	T1	SSTL135	DDR3L_A2	B2	SSTL135
DDR3L_DQ3	Y2	SSTL135	DDR3L_A3	G2	SSTL135
DDR3L_DQ4	U2	SSTL135	DDR3L_A4	M1	SSTL135
DDR3L_DQ5	W2	SSTL135	DDR3L_A5	F3	SSTL135
DDR3L_DQ6	U1	SSTL135	DDR3L_A6	K3	SSTL135
DDR3L_DQ7	V2	SSTL135	DDR3L_A7	D2	SSTL135
DDR3L_DQ8	V5	SSTL135	DDR3L_A8	L1	SSTL135
DDR3L_DQ9	T5	SSTL135	DDR3L_A9	B1	SSTL135
DDR3L_DQ10	AA6	SSTL135	DDR3L_A10	H5	SSTL135
DDR3L_DQ11	T4	SSTL135	DDR3L_A11	J4	SSTL135
DDR3L_DQ12	U6	SSTL135	DDR3L_A12	K1	SSTL135
DDR3L_DQ13	R6	SSTL135	DDR3L_A13	A1	SSTL135
DDR3L_DQ14	Y6	SSTL135	DDR3L_A14	J5	SSTL135
DDR3L_DQ15	T6	SSTL135	DDR3L_BA0	H2	SSTL135

DDR3L_DQ16	AA5	SSTL135	DDR3L_BA1	L3	SSTL135
DDR3L_DQ17	AB5	SSTL135	DDR3L_BA2	D1	SSTL135
DDR3L_DQ18	AA4	SSTL135	DDR3L_CLKP	H3	DIFF_SSTL135
DDR3L_DQ19	AB3	SSTL135	DDR3L_CLKN	G3	DIFF_SSTL135
DDR3L_DQ20	V4	SSTL135	DDR3L_CKE	K4	SSTL135
DDR3L_DQ21	AB1	SSTL135	DDR3L_RASn	G1	SSTL135
DDR3L_DQ22	Y4	SSTL135	DDR3L_CASn	F1	SSTL135
DDR3L_DQ23	AA1	SSTL135	DDR3L_WEn	E1	SSTL135
DDR3L_DQ24	Y9	SSTL135	DDR3L_CSn	J1	SSTL135
DDR3L_DQ25	Y8	SSTL135	DDR3L_ODT	J2	SSTL135
DDR3L_DQ26	AA8	SSTL135	DDR3L_RESETn	E2	SSTL135
DDR3L_DQ27	Y7	SSTL135			
DDR3L_DQ28	AB6	SSTL135			
DDR3L_DQ29	W9	SSTL135			
DDR3L_DQ30	AB7	SSTL135			
DDR3L_DQ31	V7	SSTL135			
DDR3L_DM0	Y1	SSTL135			
DDR3L_DM1	U5	SSTL135			
DDR3L_DM2	AB2	SSTL135			
DDR3L_DM3	AB8	SSTL135			
DDR3L_DQS0_P	R3	DIFF_SSTL135			
DDR3L_DQS0_N	R2	DIFF_SSTL135			
DDR3L_DQS1_P	W6	DIFF_SSTL135			
DDR3L_DQS1_N	W5	DIFF_SSTL135			
DDR3L_DQS2_P	Y3	DIFF_SSTL135			
DDR3L_DQS2_N	AA3	DIFF_SSTL135			
DDR3L_DQS3_P	V9	DIFF_SSTL135			
DDR3L_DQS3_N	V8	DIFF_SSTL135			

3: 核心板 PROM SPI FALSH



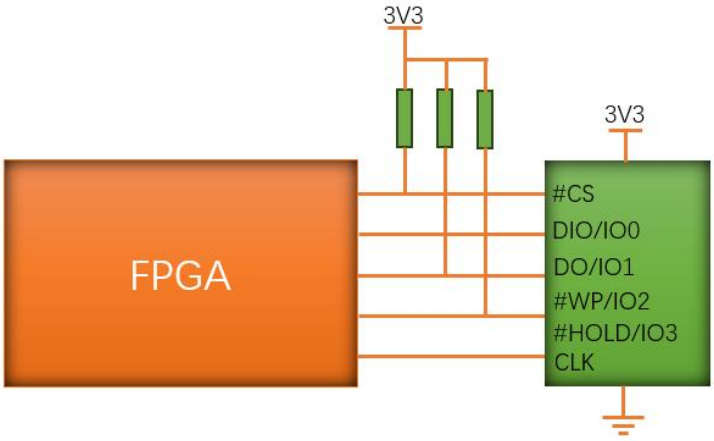
核心模块具有 1 片 QSPI FLASH，目前型号是 MT25QL128ABA1ESE-OSIT。FLASH 可用于保存数据和代码，初始化部分子系统。

MT25QL128ABA1ESE-OSIT 主要技术参数

• 128Mbit

• x1, x2, and x4 支持

• 工作于 3.3V



FPGA FLASH 引脚分配表：

信号定义	FPGA PIN	IOSTANDARD
FPGA_CFG_D0	P22	LVCMOS33
FPGA_CFG_D1	R22	LVCMOS33
FPGA_CFG_D2	P21	LVCMOS33
FPGA_CFG_D3	R21	LVCMOS33
FPGA_CFG_BUSY_SPICSN	T19	LVCMOS33
FPGA_CFG_CLK	L12	LVCMOS33

4: 核心板系统时钟

核心模块上具备一颗 50MHz 的单端时钟。

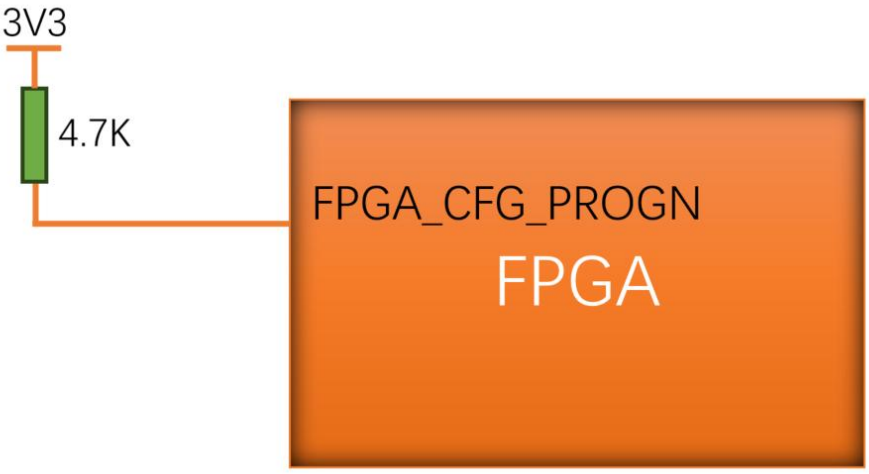


FPGA 单端时钟引脚分配表：

时钟信号定义	方向	FPGA PIN	IOSTANDARD	描述
FPGA_50M_CLK	输入	H4	SSTL135	时钟输入

5: 核心板系统复位

芯片支持上电复位，上电后复位整个芯片。



6: 核心板电源管理

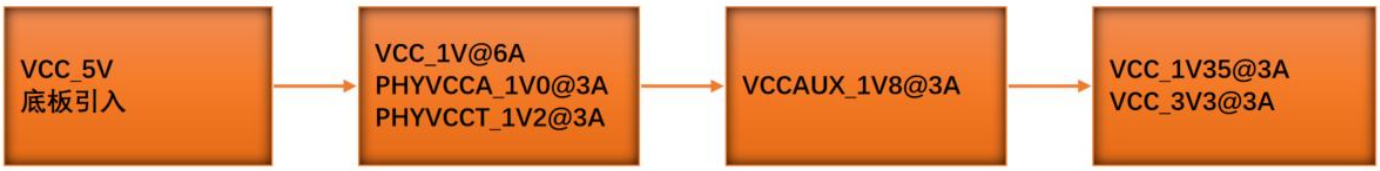
核心板集成电源管理，核心板输入电压 5V，最大功耗 5W。

1、核心板提供 1V 核心电源，最大输出 6A。

2、核心板提供 1.0V、1.2V、1.25V、1.35V、1.8V、3.3V 等电源。

3、核心模块电源由底板供电。

有上电时序要求，核心板电源启动顺序示意图如下：



5: 核心板连接器信号定义

C1A				C1C			
连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN
A1	V10	B1	AA9	A1	GND	B1	GND
A2	W10	B2	AB10	A2	B4	B2	B8
A3	W11	B3	AA10	A3	A4	B3	A8
A4	W12	B4	AA11	A4	GND	B4	GND
A5	GND	B5	GND	A5	D5	B5	D11
A6	Y11	B6	AB11	A6	C5	B6	C11
A7	Y12	B7	AB12	A7	GND	B7	GND
A8	Y13	B8	AA13	A8	B6	B8	B10
A9	AA14	B9	AB13	A9	A6	B9	A10
A10	GND	B10	GND	A10	GND	B10	GND
A11	W14	B11	AA15	A11	D7	B11	D9
A12	Y14	B12	AB15	A12	C7	B12	C9
A13	W15	B13	AB16	A13	GND	B13	GND
A14	W16	B14	AB17	A14	F6	B14	F10
A15	GND	B15	GND	A15	E6	B15	E10
A16	V13	B16	Y16	A16	GND	B16	GND
A17	V14	B17	AA16	A17	/	B17	/
A18	U15	B18	Y17	A18	/	B18	/
A19	V15	B19	VCC_3V3_PG	A19	/	B19	/

A20	GND	B20	GND	A20	GND	B20	GND
A21	T14	B21	P20	A21	M13	B21	K13
A22	T15	B22	V22	A22	L13	B22	K14
A23	T16	B23	T20	A23	H13	B23	J14
A24	U16	B24	N15	A24	G13	B24	H14
A25	GND	B25	GND	A25	GND	B25	GND
A26	P14	B26	U17	A26	L14	B26	J15
A27	R14	B27	U18	A27	L15	B27	H15
A28	N13	B28	V18	A28	M15	B28	G15
A29	N14	B29	V19	A29	M16	B29	G16
A30	GND	B30	GND	A30	GND	B30	GND
A31	P15	B31	W19	A31	K17	B31	H17
A32	R16	B32	W20	A32	J17	B32	H18
A33	P16	B33	Y18	A33	M18	B33	G17
A34	R17	B34	Y19	A34	L18	B34	G18
A35	GND	B35	GND	A35	GND	B35	GND
A36	N17	B36	AA18	A36	N18	B36	K18
A37	P17	B37	AB18	A37	N19	B37	K19
A38	P19	B38	AA19	A38	N20	B38	J18
A39	R19	B39	AB20	A39	M20	B39	H19
A40	GND	B40	GND	A40	GND	B40	GND
A41	R18	B41	AA20	A41	J20	B41	H20
A42	T18	B42	AA21	A42	J21	B42	G20
A43	T21	B43	W21	A43	J22	B43	L16
A44	U21	B44	W22	A44	H22	B44	K16
A45	GND	B45	GND	A45	GND	B45	GND
A46	U20	B46	Y21	A46	K21	B46	L19
A47	V20	B47	Y22	A47	K22	B47	L20
A48	V17	B48	AB21	A48	M21	B48	N22
A49	W17	B49	AB22	A49	L21	B49	M22
A50	GND	B50	GND	A50	GND	B50	GND
C1B				C1D			
连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN
A1	VCC_B13	B1	VCC_B14	A1	C13	B1	A13
A2	VCC_B13	B2	VCC_B14	A2	B13	B2	A14
A3	VCC_B13	B3	VCC_B14	A3	F18	B3	D17

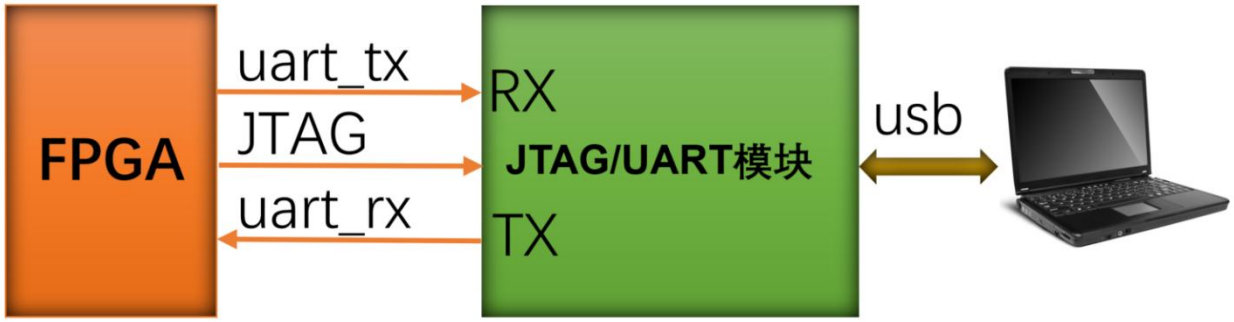
A4	GND	B4	GND	A4	E18	B4	C17
A5	GND	B5	GND	A5	GND	B5	GND
A6	GND	B6	GND	A6	C14	B6	A15
A7	VCC_5V0	B7	VCC_5V0	A7	C15	B7	A16
A8	VCC_5V0	B8	VCC_5V0	A8	F13	B8	E13
A9	VCC_5V0	B9	VCC_5V0	A9	F14	B9	E14
A10	/	B10	/	A10	GND	B10	GND
A11	/	B11	/	A11	B15	B11	B17
A12	/	B12	/	A12	B16	B12	B18
A13	/	B13	/	A13	F16	B13	D14
A14	/	B14	/	A14	E17	B14	D15
A15	/	B15	/	A15	GND	B15	GND
A16	/	B16	/	A16	A18	B16	C18
A17	/	B17	/	A17	A19	B17	C19
A18	/	B18	/	A18	E16	B18	E19
A19	/	B19	/	A19	D16	B19	D19
A20	GND	B20	GND	A20	GND	B20	GND
A21	/	B21	J16	A21	B20	B21	B21
A22	/	B22	M17	A22	A20	B22	A21
A23	/	B23	F15	A23	F19	B23	E21
A24	/	B24	F21	A24	F20	B24	D21
A25	GND	B25	GND	A25	GND	B25	GND
A26	/	B26	V12	A26	D20	B26	G21
A27	/	B27	T13	A27	C20	B27	G22
A28	/	B28	U13	A28	C22	B28	E22
A29	/	B29	R13	A29	B22	B29	D22
A30	GND	B30	GND	A30	GND	B30	GND

6: 核心板 JTAG

核心板引出了 JTAG 接口，该接口集成下载器和 UART 模块。

7: 底板 UART

底板集成下载器和 UART 模块，使用 TYPE-C 接口接入电脑 USB 接口即可和 FPGA 进行通信。

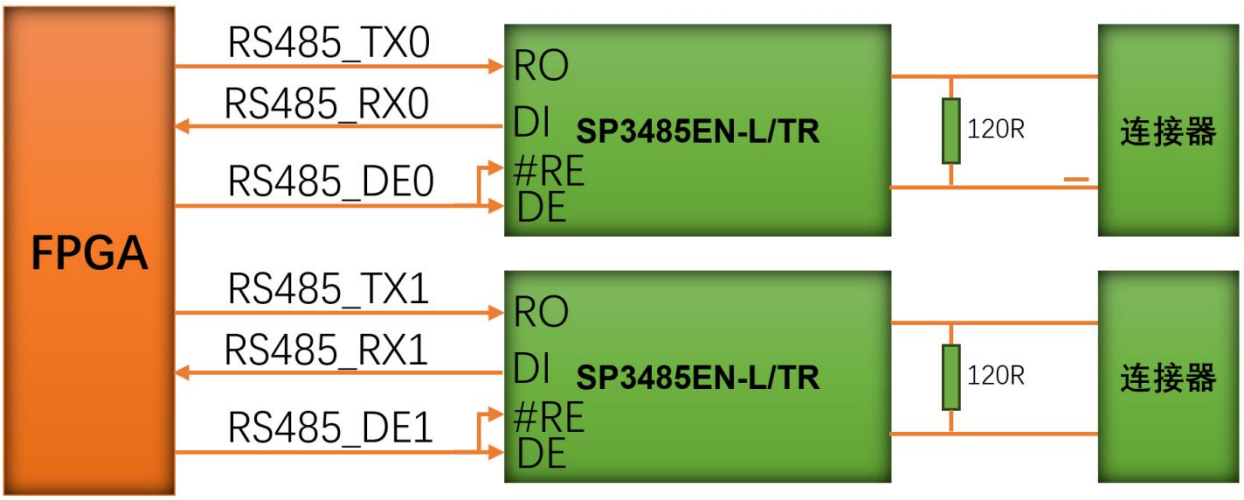


FPGA UART 引脚分配表:

UART PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
FPGA_UART_TX0	输出	R17	LVCMOS33	FPGA UART 串口发送
FPGA_UART_RX0	输入	P16	LVCMOS33	FPGA UART 串口接收

8: 底板 RS485

RS485 是一直常用的工业现在总线通信方式，具有良好的抗干扰和较高的波特率通信速度。



FPGA RS485 引脚分配表:

RS485 PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
RS485_TX0_3V3	输出	E14	LVCMOS33	FPGA RS485_0 发送
RS485_RX0_3V3	输入	A16	LVCMOS33	FPGA RS485_0 接收
RS485_DE0_3V3	输出	A15	LVCMOS33	FPGA RS485_0 方向控制:0 接收 1 发送
RS485_TX1_3V3	输出	A13	LVCMOS33	FPGA RS485_1 发送
RS485_RX1_3V3	输入	E13	LVCMOS33	FPGA RS485_1 接收
RS485_DE1_3V3	输出	A14	LVCMOS33	FPGA RS485_1 方向控制:0 接收 1 发送

9: 底板以太网

MLK-F9P 底板具有 2 路以太网，以太网芯片采用 RGMII 接口芯片 YT8531DH-CA。支持 10M/100M/1000M 网速通信。采用的 RJ45 接头集成了网络变压器。

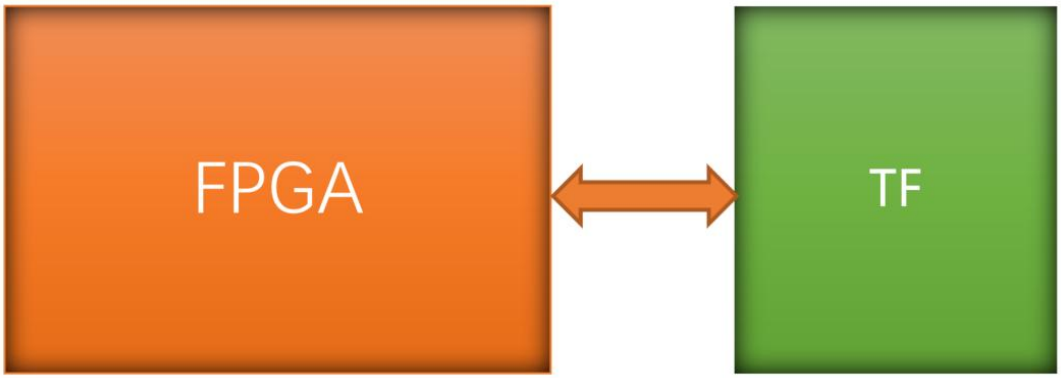


FPGA 以太网芯片引脚分配表:

ETHA			ETHB		
信号定义	FPGA PIN	IOSTANDARD	信号定义	FPGA PIN	IOSTANDARD
ETHA_RXD0	V19	LVCMOS33	ETHB_RXD0	R18	LVCMOS33
ETHA_RXD1	W20	LVCMOS33	ETHB_RXD1	V22	LVCMOS33
ETHA_RXD2	AA20	LVCMOS33	ETHB_RXD2	T20	LVCMOS33
ETHA_RXD3	AA21	LVCMOS33	ETHB_RXD3	U21	LVCMOS33
ETHA_RXCTL	V18	LVCMOS33	ETHB_RXCTL	P17	LVCMOS33
ETHA_RXCK	W19	LVCMOS33	ETHB_RXCK	Y18	LVCMOS33
ETHA_TXD0	W21	LVCMOS33	ETHB_TXD0	P19	LVCMOS33
ETHA_TXD1	W22	LVCMOS33	ETHB_TXD1	V20	LVCMOS33
ETHA_TXD2	Y21	LVCMOS33	ETHB_TXD2	U20	LVCMOS33
ETHA_TXD3	Y22	LVCMOS33	ETHB_TXD3	T18	LVCMOS33
ETHA_TXCTL	AB22	LVCMOS33	ETHB_TXCTL	R19	LVCMOS33
ETHA_TXCK	AB21	LVCMOS33	ETHB_TXCK	T21	LVCMOS33
ETH_MDIO	N17	LVCMOS33	ETH_MDIO	N17	LVCMOS33
ETH_MDC	U18	LVCMOS33	ETH_MDC	U18	LVCMOS33
ETH_RST_B	U17	LVCMOS33	ETH_RST_B	U17	LVCMOS33

10: 底板 TF 卡

底板具有一路 TF 卡接口，支持 SDIO 模式，SPI 模式。

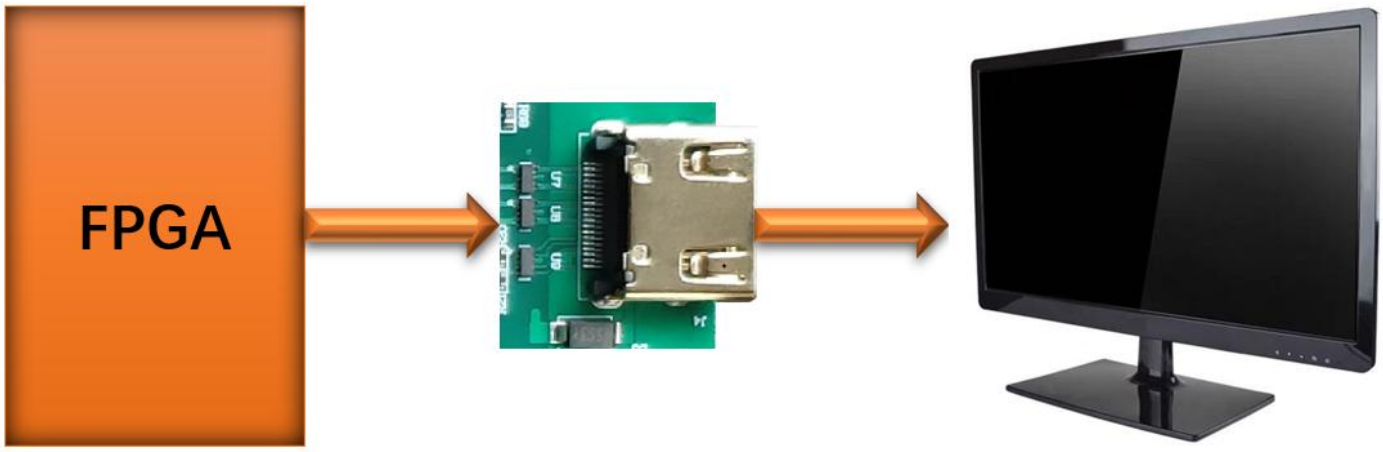


FPGA TF 引脚分配表:

TF PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
FPGA_TF_CD	输入	AA18	LVCMOS33	TF 卡 CD 检查脚
FPGA_TF_DAT0	双向	V17	LVCMOS33	TF 卡数据 0
FPGA_TF_DAT1	双向	AB18	LVCMOS33	TF 卡数据 1
FPGA_TF_DAT2	双向	Y19	LVCMOS33	TF 卡数据 2
FPGA_TF_DAT3	双向	AB20	LVCMOS33	TF 卡数据 3
FPGA_TF_CMD	输出	AA19	LVCMOS33	TF 卡命令
FPGA_TF_CLK	输出	W17	LVCMOS33	TF 卡时钟

11: 底板 HDMI 输出接口

底板具有一路 HDMI 输出接口，该接口直接通过 FPGA 的差分 IO 驱动，具有稳定可靠成本低廉的优势。

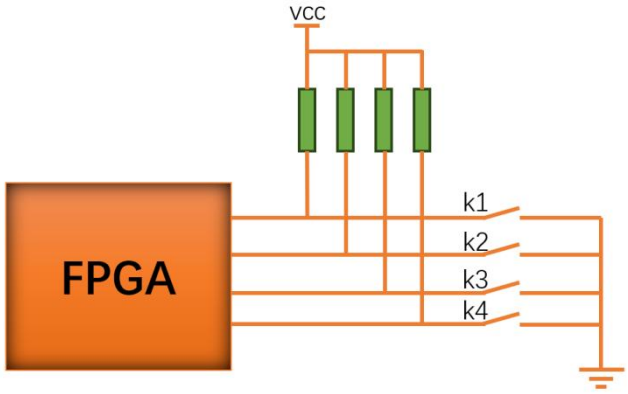


FPGA HDMI 输出引脚分配表:

HDMI PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
HDMIO_FD2_P	输出	C22	TMDS33	HDMI 数据 3 差分对 P 端
HDMIO_FD2_N	输出	B22	TMDS33	HDMI 数据 3 差分对 N 端
HDMIO_FD1_P	输出	B21	TMDS33	HDMI 数据 2 差分对 P 端
HDMIO_FD1_N	输出	A21	TMDS33	HDMI 数据 2 差分对 N 端
HDMIO_FD0_P	输出	B15	TMDS33	HDMI 数据 1 差分对 P 端
HDMIO_FD0_N	输出	B16	TMDS33	HDMI 数据 1 差分对 N 端
HDMIO_FCLK_P	输出	C18	TMDS33	HDMI 时钟差分对 P
HDMIO_FCLK_N	输出	C19	TMDS33	HDMI 时钟差分对 N
HDMIO_CEC	双向	NC		消费电子控制通道
HDMIO_SCL	双向	NC		DDC 接口，用于发送配置信息
HDMIO_SDA	双向	NC		
HDMIO_HP	输入	NC		热插拔信号

12: 底板按键输入

底板具有 4 路按键输入，按键通过上拉到 VCC，默认为高电平，当按键按下，接到 GND，信号变为低电平。

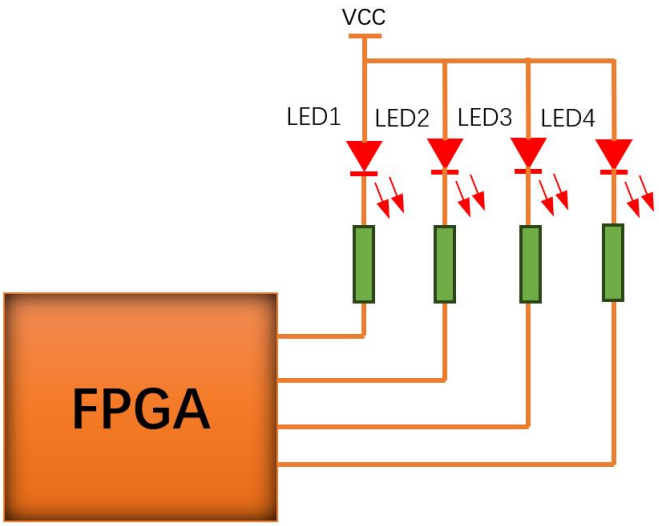


FPGA 按键输入引脚分配表:

KEY PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
KEY1	输入	R14	LVCMOS33	按键 1 输入
KEY2	输入	P14	LVCMOS33	按键 2 输入
KEY3	输入	N14	LVCMOS33	按键 3 输入
KEY4	输入	N13	LVCMOS33	按键 4 输入

13: 底板 LED

底板具有 4 路 LED 输出，LED 的阳极接到了 VCC，阴极接到 FPGA IO，当 FPGA IO 输出 0 点亮 LED，输出 1 关闭 LED。MLK-F9P-CA05 的 LED 信号的 VCC 接到了 ADJ2，ADJ2 电平默认采用 3.3V。



FPGA LED 输出引脚分配表:

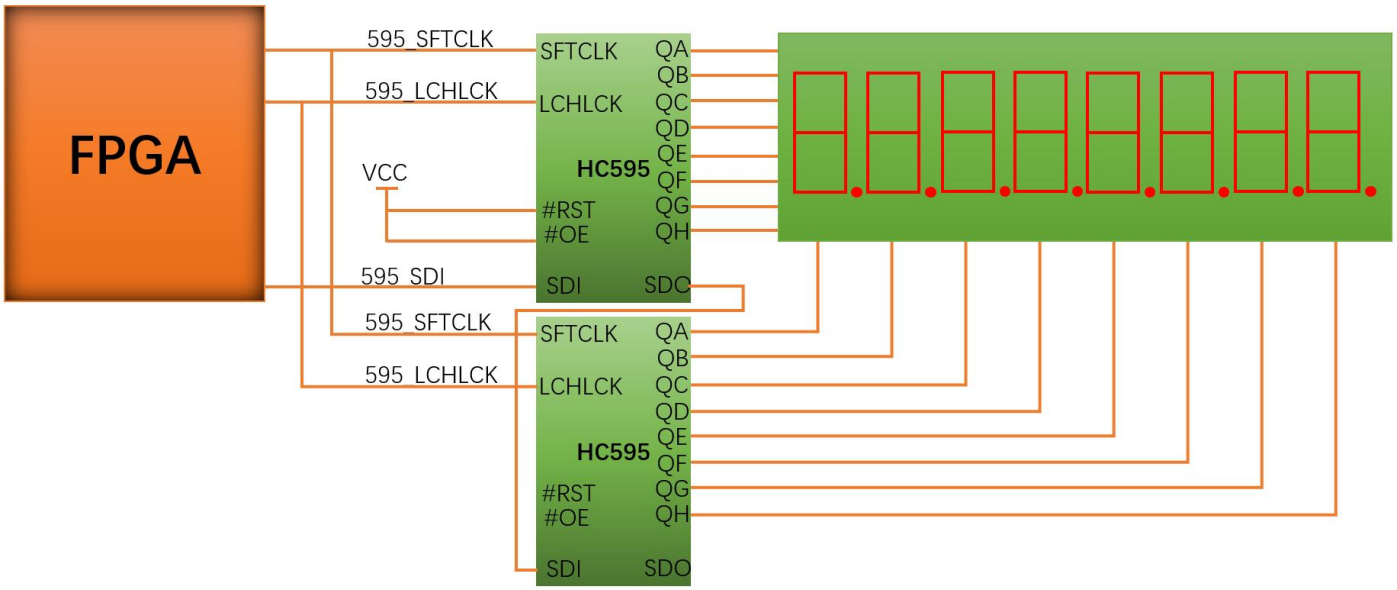
LED PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
LED1	输出	E21	LVCMOS33	LED 1 输出
LED2	输出	D21	LVCMOS33	LED 2 输出
LED3	输出	E22	LVCMOS33	LED 3 输出
LED4	输出	D22	LVCMOS33	LED 4 输出

14: 底板数码管



通过 HC595 串并转换芯片扩展出 16 个 GPIO，控制 8 个 8 段数码管，动态显示，数码管采用阴接发。HC595 采用 SPI 接口驱动，驱动 HC595 芯片使用到了 3 个 FPGA IO，信号名分别为:595_SFTCLK\595_LCHLCK\595_SDI, 此外#RST 和#OE 信号默认拉高即可。

驱动 HC595 芯片的 FPGA IO 和以上驱动 LED 的 FPGA IO 复用。以下参数默认设置 3.3V，实际硬件电路在 FPGA IO 和 HC595 芯片之间串接了 100R 电阻，即便是使用 2.5V 的 BANK 电压也可以正常工作。

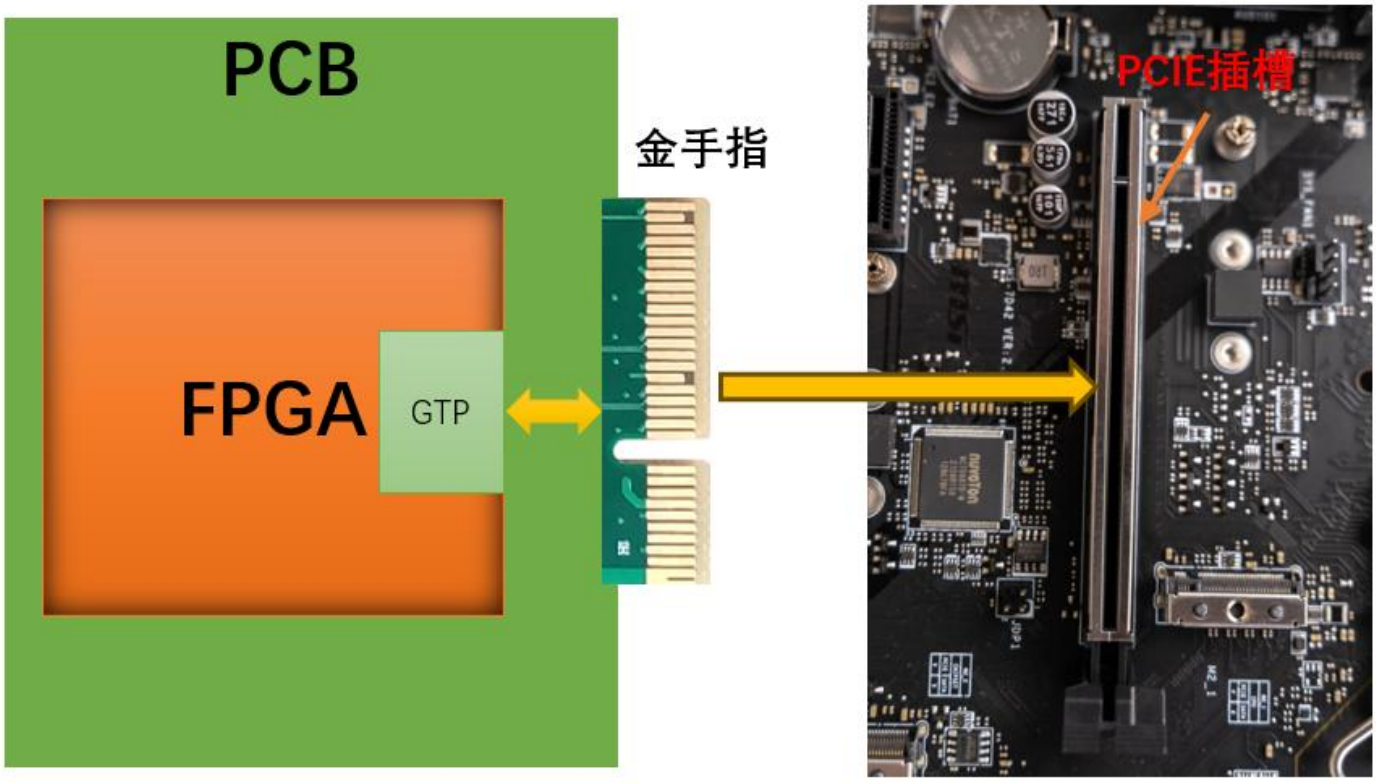


FPGA HC595 输出引脚分配表:

HC595 PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
595_SFCLK	输出	E22	LVCMOS33	HC595 芯片 SPI 时钟
595_LCHCLK	输出	D21	LVCMOS33	HC595 芯片数据加载信号(SPI CS 信号)
595_SDI	输出	E21	LVCMOS33	HC595 芯片 SPI 数据

15: 底板 PCIE 接口

MLK-F9P-CA05 开发板具有 1 组 GTX 共 4 对高速收发通道，其中 2 组用于 PCIE 通信。其中 GT 部分的 IO 为高速专用 IO 不需要约束电平属性。

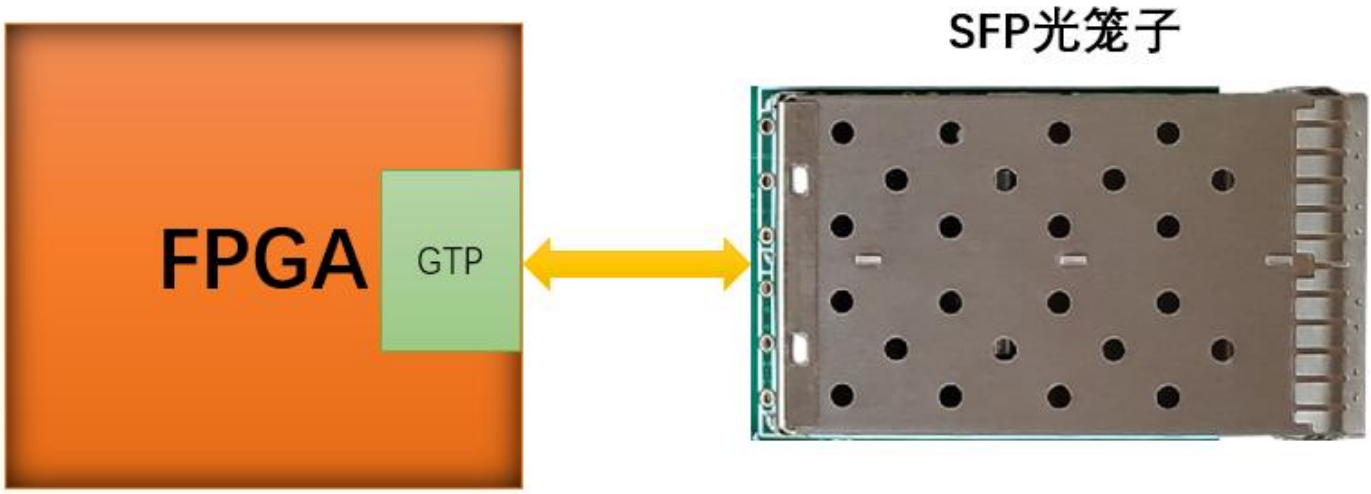


FPGA PCIE 引脚分配表:

PCIE PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
PCIE_CLK_P	差分输入	F6	/	PCIE 差分时钟输入 100M
PCIE_CLK_N	差分输入	E6	/	PCIE 差分时钟输入 100M
PCIE_RX0_P	差分输入	D9	/	PCIE 差分数据输入通道 0 P 端
PCIE_RX0_N	差分输入	C9	/	PCIE 差分数据输入通道 0 N 端
PCIE_RX1_P	差分输入	B10	/	PCIE 差分数据输入通道 1 P 端
PCIE_RX1_N	差分输入	A10	/	PCIE 差分数据输入通道 1 N 端
PCIE_TX0_P	差分输出	D7	/	PCIE 差分数据输出通道 0 P 端
PCIE_TX0_N	差分输出	C7	/	PCIE 差分数据输出通道 0 N 端
PCIE_TX1_P	差分输出	B6	/	PCIE 差分数据输出通道 1 P 端
PCIE_TX1_N	差分输出	A6	/	PCIE 差分数据输出通道 1 N 端
PCIE_PEREST_3V3	输入	P15	LVCMOS33	PCIE 复位

16: 底板 SFP 接口

MLK-F9P-CA05 开发板具有 1 组 GTX 共 4 对高速收发通道，其中 2 组用于 PCIE 通信。其中 GT 部分的 IO 为高速专用 IO 不需要约束电平属性。

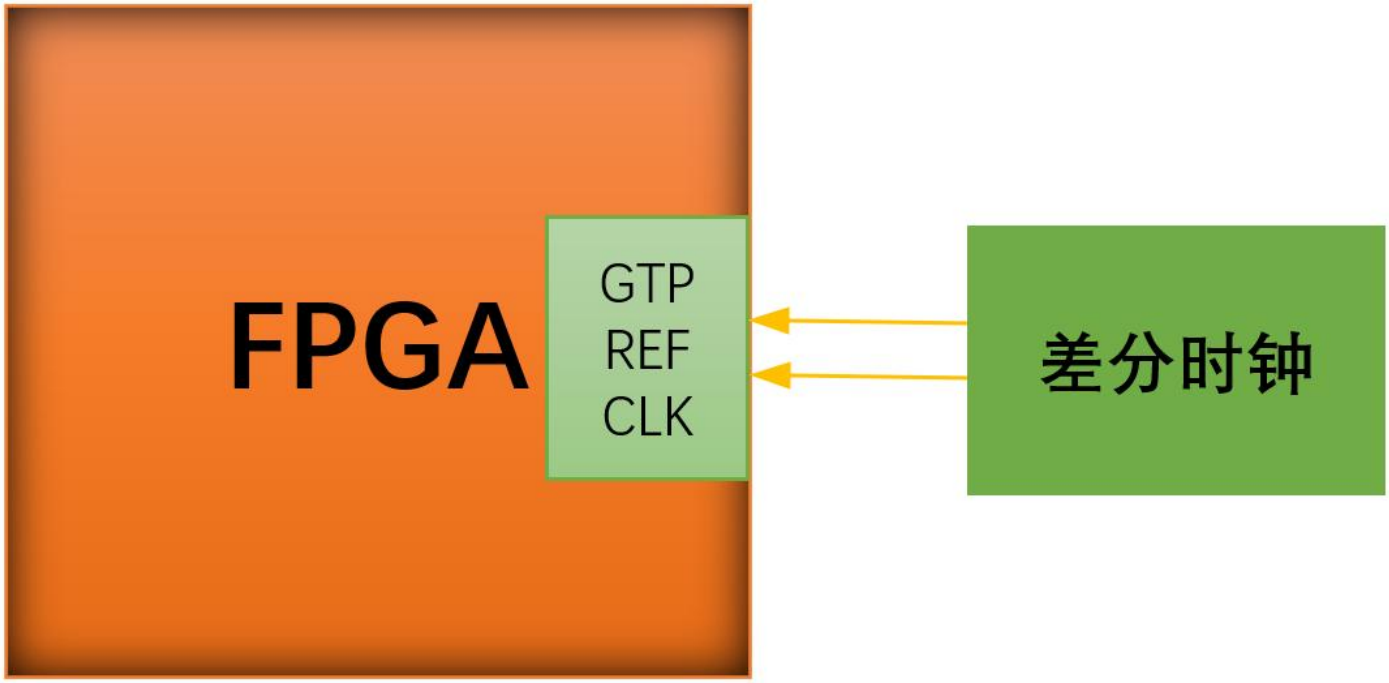


FPGA SFP 引脚分配表:

SFP PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
SFPA_TD_P	差分输出	B4	/	SFPA GT 串行数据发送差分 P 端
SFPA_TD_N	差分输出	A4	/	SFPA GT 串行数据发送差分 N 端
SFPA_RD_P	差分输入	B8	/	SFPA GT 串行数据接收差分 P 端
SFPA_RD_N	差分输入	A8	/	SFPA GT 串行数据接收差分 N 端
SFPA_TX_DIS	输入	R16	LVCMOS33	发送使能，1 禁止发送，0 使能发送
SFPB_TD_P	差分输出	D5	/	SFPB GT 串行数据发送差分 P 端
SFPB_TD_N	差分输出	C5	/	SFPB GT 串行数据发送差分 N 端
SFPB_RD_P	差分输入	D11	/	SFPB GT 串行数据接收差分 P 端
SFPB_RD_N	差分输入	C11	/	SFPB GT 串行数据接收差分 N 端
SFPB_TX_DIS	输入	P14	LVCMOS33	发送使能，1 禁止发送，0 使能发送

17: 底板 GT 参考时钟输入

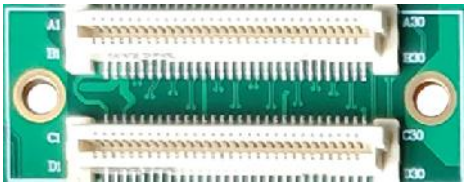
GT 部分高速单元需要提供高精度的参考时钟，其中 GT 部分的 IO 为高速专用 IO 不需要约束电平属性。MLK-F9P 的参考时钟为 125M 固定差分时钟输入到 GT 的参考时钟输入端。



FPGA GT 参考时钟引脚分配表:

晶振 PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
B94_CLK1_P	差分输入	F10	/	GT 参考时钟输入 P 端
B94_CLK1_N	差分输入	E10	/	GT 参考时钟输入 N 端

18: 底板 FEP 接口



FEP 接口为米联客自定义的低成本高速接口，相比 FMC 接口具有更好的成本控制，更小的尺寸，焊接更加方便，普通单端 GPIO 250Mbps, LVDS 高速 IO 1.5Gbps ,GT 专用高速 IO 3Gbps 传输,满足大多数的应用场景。

_P 代表了当使用差分信号的时候代表了差分信号的 P;

_N 代表了当使用差分信号的时候代表了差分信号的 N;

FEP										
连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN
A1		FEP5V	B1		FEP5V	C1		FEP5V	D1		FEP5V
A2		GND	B2		GND	C2		GND	D2		GND
A3		GND	B3		GND	C3		NC	D3		NC
A4	_P	M18	B4	_P	N22	C4	_P	NC	D4	_P	NC
A5	_N	L18	B5	_N	M22	C5	_N	NC	D5	_N	NC
A6	_P	M15	B6	_P	N20	C6	_P	NC	D6	_P	NC
A7	_N	M16	B7	_N	M20	C7	_N	NC	D7	_N	NC
A8	_P	K17	B8	_P	N18	C8	_P	NC	D8	_P	NC
A9	_N	J17	B9	_N	N19	C9	_N	NC	D9	_N	NC
A10	_P	L16	B10	_P	M21	C10	_P	NC	D10	_P	NC
A11	_N	K16	B11	_N	L21	C11	_N	NC	D11	_N	NC
A12	_P	GND	B12	_P	GND	C12	_P	GND	D12	_P	GND
A13	_N	K13	B13	_N	K21	C13	_N	NC	D13	_N	NC
A14	_P	K14	B14	_P	K22	C14	_P	NC	D14	_P	NC
A15	_N	L14	B15	_N	K18	C15	_N	NC	D15	_N	NC
A16	_P	L15	B16	_P	K19	C16	_P	NC	D16	_P	NC
A17	_N	H17	B17	_N	J19	C17	_N	NC	D17	_N	NC
A18	_P	H18	B18	_P	H19	C18	_P	NC	D18	_P	NC
A19	_N	M13	B19	_N	L19	C19	_N	NC	D19	_N	NC
A20	_P	L13	B20	_P	L20	C20	_P	NC	D20	_P	NC
A21	_N	GND	B21	_N	GND	C21	_N	GND	D21	_N	GND
A22	_P	J14	B22	_P	J20	C22	_P	NC	D22	_P	NC
A23	_N	H14	B23	_N	J21	C23	_N	NC	D23	_N	NC
A24	_P	J15	B24	_P	G17	C24	_P	NC	D24	_P	NC
A25	_N	H15	B25	_N	G18	C25	_N	NC	D25	_N	NC
A26	_P	G15	B26	_P	J22	C26	_P	NC	D26	_P	NC
A27	_N	G16	B27	_N	H22	C27	_N	NC	D27	_N	NC
A28	_P	H13	B28	_P	H20	C28	_P	NC	D28	_P	NC
A29	_N	G13	B29	_N	G20	C29	_N	NC	D29	_N	NC
A30		GND	B30		GND	C30		GND	D30		GND

19: 底板 CEP 接口

CEP 为米联客自定义的普通 GPIO 接口，间距为 2.54 间距，具有单端 GPIO 250Mbps, LVDS 高速 IO 500Mbps 速度,焊接排针，通过杜邦线可以引出 IO，CEP 可以接米联客 DVP 接口摄像头。

_P 代表了当使用差分信号的时候代表了差分信号的 P;

_N 代表了当使用差分信号的时候代表了差分信号的 N;

CEP											
连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN
1		VCC3V3	2		GND						
3	_P	G21	4	_N	G22						
5	_P	D20	6	_N	C20						
6	_P	D17	8	_N	C17						
9	_P	F19	10	_N	F20						
11	_P	B20	12	_N	A20						
13	_P	E19	14	_N	D19						
15	_P	A18	16	_N	A19						
17	_P	F18	18	_N	E18						
19	_P	F16	20	_N	E17						
21	_P	B17	22	_N	B18						
23	_P	E16	24	_N	D16						
25	_P	C14	26	_N	C15						
27	_P	D14	28	_N	D15						
29	_P	C13	30	_N	B13						
31	_P	F13	32	_N	F14						
33	_P	A15	34	_N	A16						
35	_P	E13	36	_N	E14						
37	_P	A13	38	_N	A14						
39		GND	40		GND						

20：底板音频接口



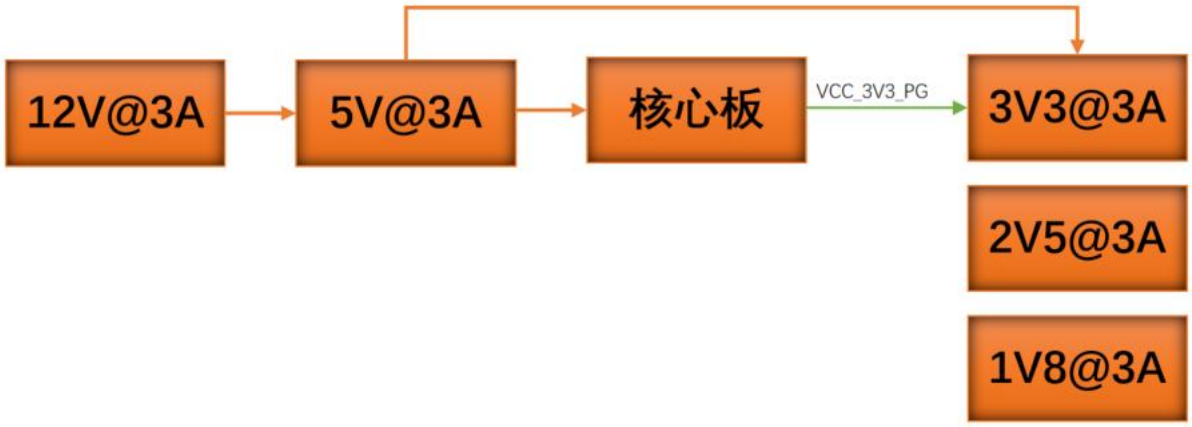
底板具有 1 路 AUDIO 音频接口，通过 ES8388 芯片引出，支持 1 路 EARPHONE 接口，1 路 MIC 接口。

FPGA AUDIO 音频引脚分配表：

AUDIO PIN	FPGA PIN	IOSTANDARD
AUDIO_MCLK	D17	LVCMOS33
SCLK	C17	LVCMOS33
DSDIN	F20	LVCMOS33
LRCK	F19	LVCMOS33
ASDOUT	A20	LVCMOS33
CCLK	B20	LVCMOS33
CDATA	D19	LVCMOS33
ES8388_CE_R	E19	LVCMOS33
HP_DET_LS	A19	LVCMOS33

21: 底板电源管理

底板通过 12V 转 5V 给核心板供电，核心板有上电顺序要求，通过核心板提供 VCC_3V3_PG 使能底板上的 3.3V，2.5V，1.8V，并且通过跳线帽可以选择提供何种电压给核心板的 IO BANK。



22: 底板下载器模块



底板上具有 1 路 JTAG 下载器集成模块，模块名为 YCM-J01，用于下载和调试，工作电压为 3.3V。

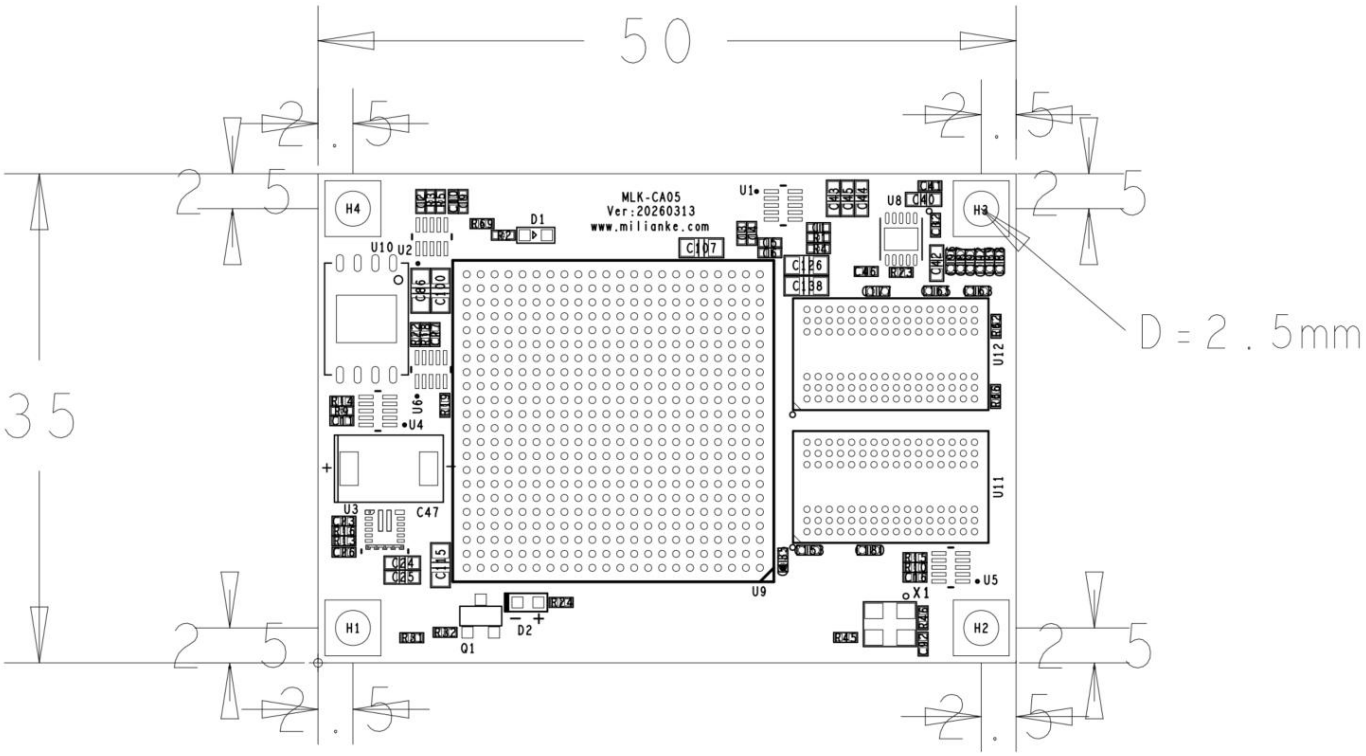
23: 散热片

FPGA 正常工作时会产生大量的热量，开发板主芯片增加了一套散热片，防止芯片过热。

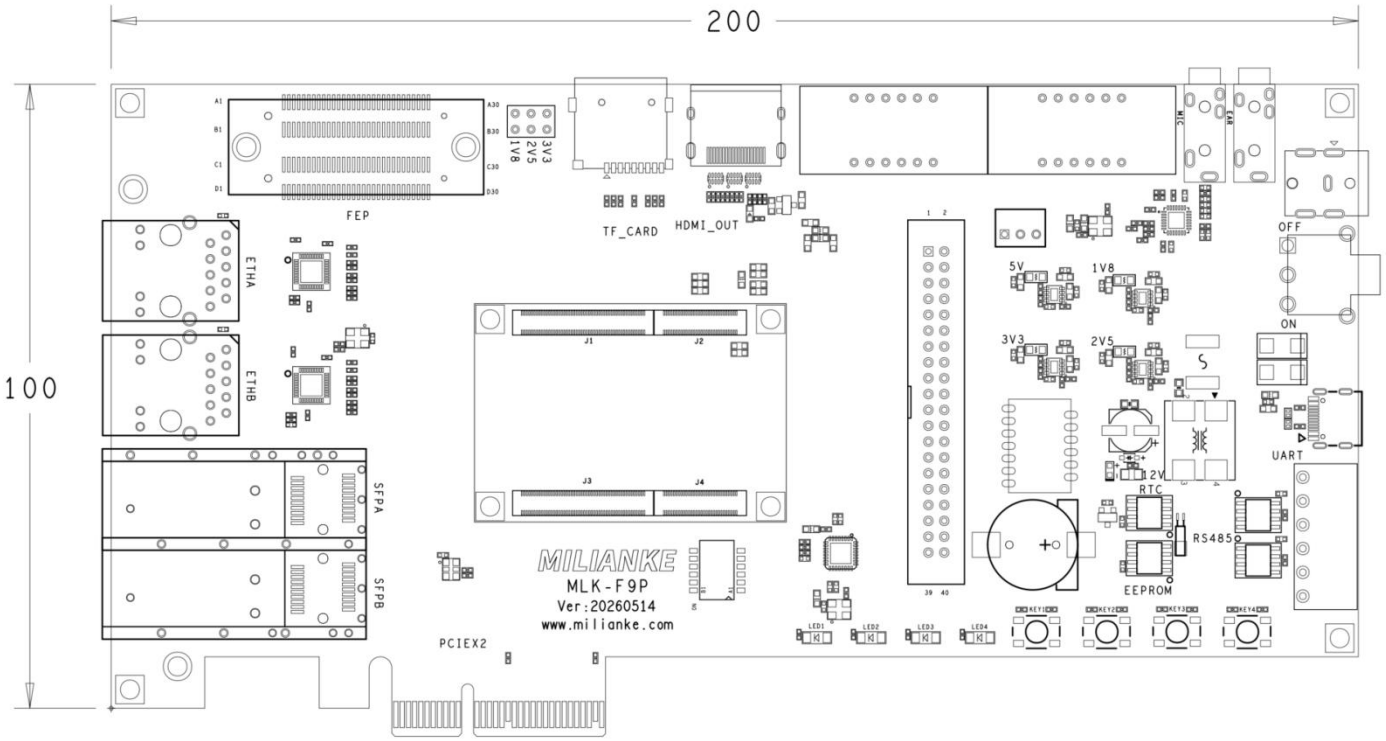


6 2D 平面图尺寸

核心板：



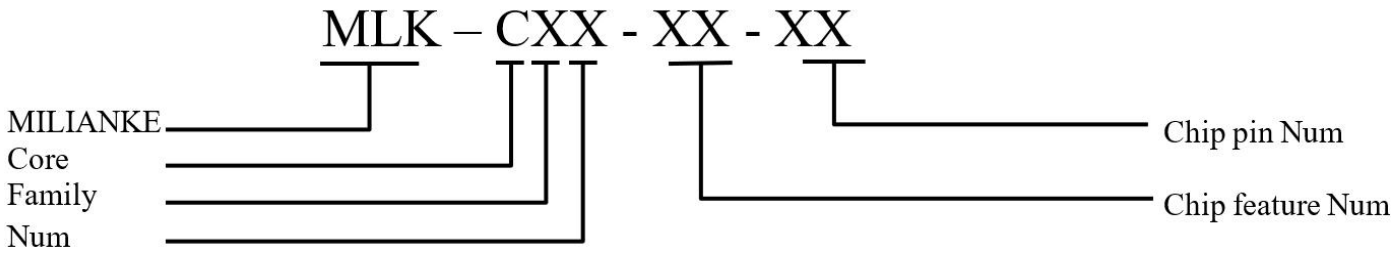
底板：



附录 1:命名规则

米联客硬件全新启用新的命名规则，对于老的型号，两个名字会同时使用

1 核心模块命名规则



2 开发平台命名规则

S-代表单板
F-代表核心板+底板方式的 FEP 扩展接口的开发平台
H-代表核心板+底板方式的 FMC-HPC 扩展接口的开发平台
L-代表核心板+底板方式的 FMC-LPC 扩展接口的开发平台

