版本信息：
版本V1.0
时间05/15/2026

MLK-CA05 核心模块硬件使用手册

此核心板 PCB 兼容 Xilinx-XC7A35T-2FGG484I/XC7A100T-2FGG484I 芯片

微信扫码注册米联客技术论坛 www.uisrc.com 免费享受更多资源

扫码关注微信公众平台“米联客(MILIANKE)”掌握更多信息动态

技术支持

客户可以通过以下链接获取米联客官方店铺的客服联系方式，加入米联客企业微信技术支持群，获得专业的技术支持和解答。感谢您的支持！

京东米联客旗舰店：https://milianke.jd.com
天猫米联客旗舰店：https://milianke.tmall.com
淘宝米联客生态店：https://milianke.taobao.com

售后

1：7 天无理由退货(人为原因除外)
2：质保期限：本司产品自快递签收之日起，提供一年质保服务(主芯片，比如 FPGA 或者 CPU 等除外)。
3：维修换货，需提供淘宝订单编号或合同编号，联系销售/技术支持安排退回事宜。
售后维修请登录工单系统：https://www.uisrc.com/plugin.php?id=x7ree_service
4：以下情形不属于质保范畴
A：由于用户使用不当造成板子的损坏:比如电压过高造成的开发板短路,自行焊接造成的焊盘脱落、铜线起皮等。
B：用户日常维护不当造成板子的损坏：比如放置不当导致线路板腐蚀、基板出现裂纹等
5：质保范畴外（上方第 4 条）及质保期限以外的产品，本司提供有偿维修服务。维修仅收取器件材料成本，往返运 费全部由客户承担。
6：寄回地址，登录网页获取最新的售后地址：https://www.uisrc.com/t-1982.html

常州米联客信息科技有限公司
版权所有

常州溧阳总部：常州溧阳市中关村吴潭渡路雅创高科制造谷 10-1 幢楼
南京研发基地：南京市江宁区秣陵街道吉印大道 3118 号联东 U 谷 • 南京九龙湖智造创新港 3 号楼 9 楼

版本	时间	描述
Rev2026 V1.0	2026-05-15	第一版

目录

用户须知—使用必看 2
一、产品概述 1
二、硬件参数概述 1
三、核心模块 3
四、硬件详细描述 4
1:核心板 XC7A35T-2FGG484I/XC7A100T-2FGG484I 4
2:核心板 DDR 内存 5
3:核心板 FLASH 7
4:核心板系统时钟 8
5:核心板电源管理 9
6:核心板连接器信号定义 10
7:风扇及散热片 12
五、结构尺寸图 13
附录 1:命名规则 14
1 核心模块命名规则 14
2 开发平台命名规则 14

用户须知—使用必看

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。

2、请使用稳压电源供电，不要使用纹波较大的电源供电。

3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。

4、不要热插拔下载器的 JTAG 接口，下载器的正确使用请看：**https://www.uisrc.com/t-3292.html**

5、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

常州米联客信息科技有限公司

硬件研发组

一、产品概述

MLK-CA05 核心板是米联客电子 FPGA 系列高性价比核心模块。其核心模块集成电源管理：1V 核心电源，最大输出 6A。用户基于核心模块设计功能底板（提供功能底板设计方案），降低项目功能底板设计难度和生产成本，加速项目开发。其应用领域包含高速通信；机器视觉、伺服系统、视频采集、消费电子、产品研发前期验证、电子类相关专业开发人员学习。

二、硬件参数概述

<table>
<tr><td colspan="6">MLK-CA05 硬件参数</td></tr>
<tr><td colspan="2">芯片型号</td><td colspan="2">XC7A35T-2FGG484I</td><td colspan="2">XC7A100T-2FGG484I</td></tr>
<tr><td rowspan="9">FPGA 主要参数</td><td>构架</td><td colspan="2">Artix7</td><td colspan="2">Artix7</td></tr>
<tr><td>逻辑单元(Logic Cells)</td><td colspan="2">33280</td><td colspan="2">101440</td></tr>
<tr><td>查找表(Luts)</td><td colspan="2">20800</td><td colspan="2">63400</td></tr>
<tr><td>BlockRAM(kb)</td><td colspan="2">1800</td><td colspan="2">4860</td></tr>
<tr><td>DSP(DSP slices)</td><td colspan="2">90</td><td colspan="2">240</td></tr>
<tr><td>触发器(Flip-flops)</td><td colspan="2">41600</td><td colspan="2">126800</td></tr>
<tr><td>XADC</td><td colspan="2">12bit*1(IO BANK 复用)</td><td colspan="2">12bit*1(IO BANK 复用)</td></tr>
<tr><td>GTP(6.6Gbps 高速收发器)</td><td colspan="2">4 对</td><td colspan="2">4 对</td></tr>
<tr><td>速度等级</td><td colspan="2">-2</td><td colspan="2">-2</td></tr>
<tr><td>温度等级</td><td colspan="2">-40°~+85°</td><td colspan="2">-40°~+85°</td></tr>
<tr><td colspan="2">DDR</td><td colspan="2">256MB DDR3L（单片 256MB*1）
数据带宽 800Mbps*16bit</td><td colspan="2">512MB DDR3L（单片 256MB*2）
数据带宽 800Mbps*32bit</td></tr>
<tr><td>FLASH</td><td colspan="5">128Mbit QSPI FLASH ，用于固化程序，存放数据</td></tr>
<tr><td>时钟输入</td><td colspan="5">50MHZ 单端时钟*1</td></tr>
<tr><td rowspan="6">引出 IO</td><td>IO BANK</td><td>长度/mil</td><td>阻抗/R</td><td colspan="2">XC7A35T-2FGG484I</td></tr>
<tr><td>HR-3V3-BANK12 差分</td><td>1648</td><td>100R</td><td colspan="2">44/50</td></tr>
<tr><td>HR-ADJ-BANK13 差分</td><td>1783</td><td>100R</td><td colspan="2">50/50</td></tr>
<tr><td>HR-3V3-BANK14 差分</td><td>2226</td><td>100R</td><td colspan="2">50/50</td></tr>
<tr><td>GT-1V2-BANK94 差分</td><td>/</td><td>100R</td><td colspan="2">20/20</td></tr>
<tr><td>IO 总计</td><td colspan="4">144 GPIO/72 差分</td></tr>
<tr><td rowspan="4">引出 IO</td><td>IO BANK</td><td>长度/mil</td><td>阻抗/R</td><td colspan="2">XC7A100T-2FGG484I</td></tr>
<tr><td>HR-3V3-BANK11 差分</td><td>1657</td><td>100R</td><td colspan="2">35/35</td></tr>
<tr><td>HR-3V3-BANK12 差分</td><td>1648</td><td>100R</td><td colspan="2">44/50</td></tr>
<tr><td>HR-ADJ-BANK13 差分</td><td>1783</td><td>100R</td><td colspan="2">50/50</td></tr>
</table>

	HR-3V3-BANK14 差分	2226	100R	50/50
	GT-1V2-BANK94 差分	/	100R	20/20
	IO 总计	178 GPIO/89 差分		
PCB 层数	14 层			
电源管理	核心板集成电源管理，内核 1V@6A 电流			
电源输入	DC-5V			
外形尺寸	35（mm）x50（mm）			
连接器型号	DF40C-100DP-0.4V(51)x2 DF40C-60DP-0.4V(51) x2			
最大功耗	35T	5W	100T	8W
连接器合高	连接器板对板高度 3mm			
散热方式	被动散热			
散热片	尺寸/mm	35x50x10	重量	23.4g
核心板重量 不带散热片	35T	11.8g	100T	12.2g

三、核心模块

注意：示意图只标注芯片位置，并不代表实物，使用者请根据实际使用的功能底板进行开发。

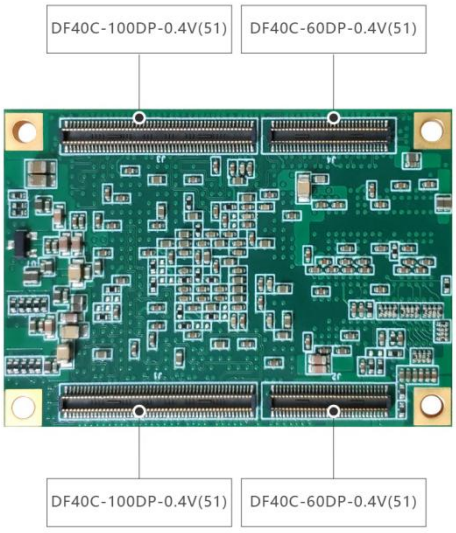
XC7A35T-2FGG484I 正面：



XC7A100T-2FGG484I 正面：



反面：



四、硬件详细描述

1:核心板 XC7A35T-2FGG484I/XC7A100T-2FGG484I



核心模块搭载一颗 Xilinx 的 XC7A35T-2FGG484I/XC7A100T-2FGG484I 芯片。
此芯片封装是 FFG484，速度等级是-2，温度等级是工业级。

MLK-CA05 硬件参数			
芯片型号		XC7A35T-2FGG484I	XC7A100T-2FGG484I
FPGA 主要参数	构架	Artix7	Artix7
	逻辑单元(Logic Cells)	33280	101440
	查找表(Luts)	20800	63400
	BlockRAM(kb)	1800	4860
	DSP(DSP slices)	90	240
	触发器(Flip-flops)	41600	126800
	XADC	12bit*1(IO BANK 复用)	12bit*1(IO BANK 复用)
	GTP(6.6Gbps 高速收发器)	4 对	4 对
	速度等级	-2	-2
	温度等级	-40°~+85°	-40°~+85°

2:核心板 DDR 内存



核心板最多支持 2 片 DDR3L 内存。其中 35T 为低成本方案，默认焊接 1 片 DDR3L 256MB，100T 默认焊接 2 片 DDR3L 共计 512MB。2 片 DDR3L 数据带宽可达 800Mbps*32bit，1 片 DDR3L 数据带宽可达 800Mbps*16bit。

默认焊接国产品牌 GigaDevice(兆易创新)DDR。

芯片型号	XC7A35T-2FGG484I/XC7A100T-2FGG484I
DDR 型号	GDP1BFLM-CB
DDR 单片内存大小	256MB
DDR（片）	1/2



FPGA DDR 引脚分配表：（红色字体部分为 35T 默认不贴）

DDR DATA	FPGA PIN	IOSTANDARD	DDR ADDR	FPGA PIN	IOSTANDARD
DDR3L_DQ0	U3	SSTL135	DDR3L_A0	C2	SSTL135
DDR3L_DQ1	W1	SSTL135	DDR3L_A1	K2	SSTL135
DDR3L_DQ2	T1	SSTL135	DDR3L_A2	B2	SSTL135
DDR3L_DQ3	Y2	SSTL135	DDR3L_A3	G2	SSTL135
DDR3L_DQ4	U2	SSTL135	DDR3L_A4	M1	SSTL135
DDR3L_DQ5	W2	SSTL135	DDR3L_A5	F3	SSTL135
DDR3L_DQ6	U1	SSTL135	DDR3L_A6	K3	SSTL135
DDR3L_DQ7	V2	SSTL135	DDR3L_A7	D2	SSTL135
DDR3L_DQ8	V5	SSTL135	DDR3L_A8	L1	SSTL135
DDR3L_DQ9	T5	SSTL135	DDR3L_A9	B1	SSTL135
DDR3L_DQ10	AA6	SSTL135	DDR3L_A10	H5	SSTL135
DDR3L_DQ11	T4	SSTL135	DDR3L_A11	J4	SSTL135
DDR3L_DQ12	U6	SSTL135	DDR3L_A12	K1	SSTL135
DDR3L_DQ13	R6	SSTL135	DDR3L_A13	A1	SSTL135

DDR3L_DQ14	Y6	SSTL135	DDR3L_A14	J5	SSTL135
DDR3L_DQ15	T6	SSTL135	DDR3L_BA0	H2	SSTL135
DDR3L_DQ16	AA5	SSTL135	DDR3L_BA1	L3	SSTL135
DDR3L_DQ17	AB5	SSTL135	DDR3L_BA2	D1	SSTL135
DDR3L_DQ18	AA4	SSTL135	DDR3L_CLKP	H3	DIFF_SSTL135
DDR3L_DQ19	AB3	SSTL135	DDR3L_CLKN	G3	DIFF_SSTL135
DDR3L_DQ20	V4	SSTL135	DDR3L_CKE	K4	SSTL135
DDR3L_DQ21	AB1	SSTL135	DDR3L_RASn	G1	SSTL135
DDR3L_DQ22	Y4	SSTL135	DDR3L_CASn	F1	SSTL135
DDR3L_DQ23	AA1	SSTL135	DDR3L_WEn	E1	SSTL135
DDR3L_DQ24	Y9	SSTL135	DDR3L_CSn	J1	SSTL135
DDR3L_DQ25	Y8	SSTL135	DDR3L_ODT	J2	SSTL135
DDR3L_DQ26	AA8	SSTL135	DDR3L_RESETn	E2	SSTL135
DDR3L_DQ27	Y7	SSTL135			
DDR3L_DQ28	AB6	SSTL135			
DDR3L_DQ29	W9	SSTL135			
DDR3L_DQ30	AB7	SSTL135			
DDR3L_DQ31	V7	SSTL135			
DDR3L_DM0	Y1	SSTL135			
DDR3L_DM1	U5	SSTL135			
DDR3L_DM2	AB2	SSTL135			
DDR3L_DM3	AB8	SSTL135			
DDR3L_DQS0_P	R3	DIFF_SSTL135			
DDR3L_DQS0_N	R2	DIFF_SSTL135			
DDR3L_DQS1_P	W6	DIFF_SSTL135			
DDR3L_DQS1_N	W5	DIFF_SSTL135			
DDR3L_DQS2_P	Y3	DIFF_SSTL135			
DDR3L_DQS2_N	AA3	DIFF_SSTL135			
DDR3L_DQS3_P	V9	DIFF_SSTL135			
DDR3L_DQS3_N	V8	DIFF_SSTL135			

3:核心板 FLASH



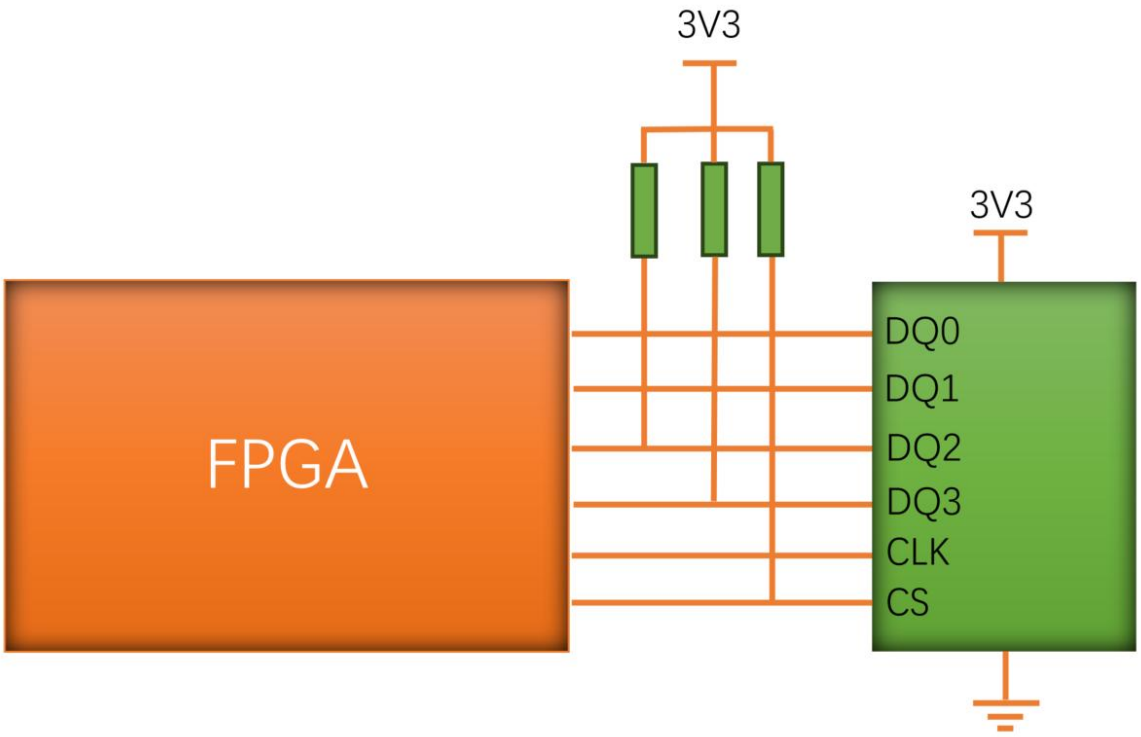
核心模块具有 1 片 QSPI FLASH，目前型号是 MT25QL128ABA1ESE-OSIT。FLASH 可用于保存数据和代码，初始化部分子系统。

MT25QL128ABA1ESE-OSIT 主要技术参数

• 128Mbit

• x1, x2, and x4 支持

• 工作于 3.3V

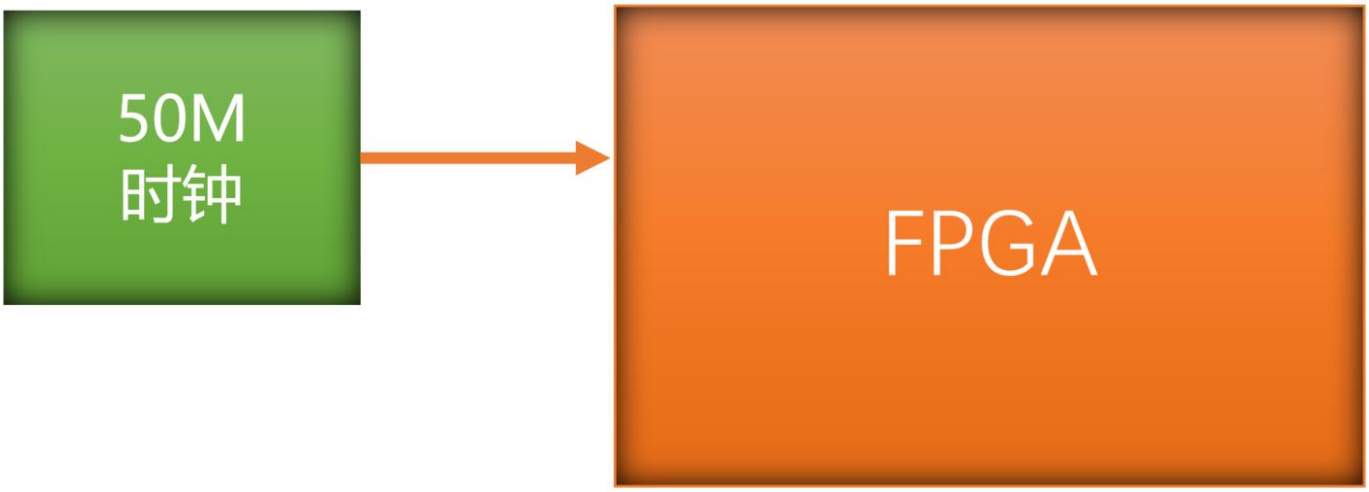


FPGA FLASH 引脚分配表：

信号定义	FPGA PIN	IOSTANDARD
FPGA_CFG_D0	P22	LVCMOS33
FPGA_CFG_D1	R22	LVCMOS33
FPGA_CFG_D2	P21	LVCMOS33
FPGA_CFG_D3	R21	LVCMOS33
FPGA_CFG_BUSY_SPICSN	T19	LVCMOS33
FPGA_CFG_CLK	L12	LVCMOS33

4:核心板系统时钟

核心模块上具备一颗 50MHz 的单端时钟。



FPGA 单端时钟引脚分配表：

时钟信号定义	方向	FPGA PIN	IOSTANDARD	描述
FPGA_50M_CLK	输入	H4	SSTL135	时钟输入

5:核心板电源管理

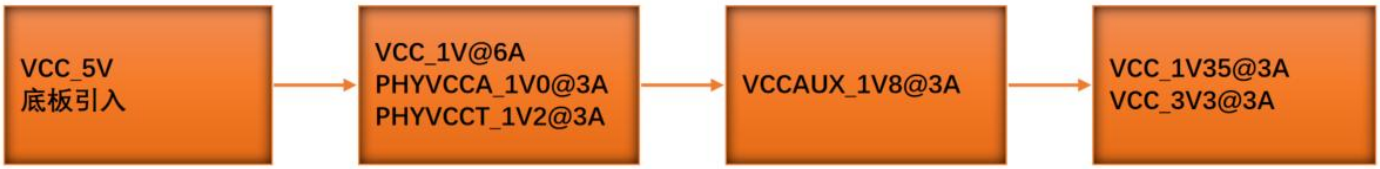
核心板集成电源管理，核心板输入电压 5V，最大功耗 5W。

1、核心板提供 1V 核心电源，最大输出 6A。

2、核心板提供 1.0V、1.2V、1.25V、1.35V、1.8V、3.3V 等电源。

3、核心模块电源由底板供电。

有上电时序要求，核心板电源启动顺序示意图如下：



6:核心板连接器信号定义

J1				J3			
连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN
A1	V10	B1	AA9	A1	GND	B1	GND
A2	W10	B2	AB10	A2	B4	B2	B8
A3	W11	B3	AA10	A3	A4	B3	A8
A4	W12	B4	AA11	A4	GND	B4	GND
A5	GND	B5	GND	A5	D5	B5	D11
A6	Y11	B6	AB11	A6	C5	B6	C11
A7	Y12	B7	AB12	A7	GND	B7	GND
A8	Y13	B8	AA13	A8	B6	B8	B10
A9	AA14	B9	AB13	A9	A6	B9	A10
A10	GND	B10	GND	A10	GND	B10	GND
A11	W14	B11	AA15	A11	D7	B11	D9
A12	Y14	B12	AB15	A12	C7	B12	C9
A13	W15	B13	AB16	A13	GND	B13	GND
A14	W16	B14	AB17	A14	F6	B14	F10
A15	GND	B15	GND	A15	E6	B15	E10
A16	V13	B16	Y16	A16	GND	B16	GND
A17	V14	B17	AA16	A17	/	B17	/
A18	U15	B18	Y17	A18	/	B18	/
A19	V15	B19	VCC_3V3_PG	A19	/	B19	/
A20	GND	B20	GND	A20	GND	B20	GND
A21	T14	B21	P20	A21	M13	B21	K13
A22	T15	B22	V22	A22	L13	B22	K14
A23	T16	B23	T20	A23	H13	B23	J14
A24	U16	B24	N15	A24	G13	B24	H14
A25	GND	B25	GND	A25	GND	B25	GND
A26	P14	B26	U17	A26	L14	B26	J15
A27	R14	B27	U18	A27	L15	B27	H15
A28	N13	B28	V18	A28	M15	B28	G15
A29	N14	B29	V19	A29	M16	B29	G16
A30	GND	B30	GND	A30	GND	B30	GND
A31	P15	B31	W19	A31	K17	B31	H17

A32	R16	B32	W20	A32	J17	B32	H18
A33	P16	B33	Y18	A33	M18	B33	G17
A34	R17	B34	Y19	A34	L18	B34	G18
A35	GND	B35	GND	A35	GND	B35	GND
A36	N17	B36	AA18	A36	N18	B36	K18
A37	P17	B37	AB18	A37	N19	B37	K19
A38	P19	B38	AA19	A38	N20	B38	J18
A39	R19	B39	AB20	A39	M20	B39	H19
A40	GND	B40	GND	A40	GND	B40	GND
A41	R18	B41	AA20	A41	J20	B41	H20
A42	T18	B42	AA21	A42	J21	B42	G20
A43	T21	B43	W21	A43	J22	B43	L16
A44	U21	B44	W22	A44	H22	B44	K16
A45	GND	B45	GND	A45	GND	B45	GND
A46	U20	B46	Y21	A46	K21	B46	L19
A47	V20	B47	Y22	A47	K22	B47	L20
A48	V17	B48	AB21	A48	M21	B48	N22
A49	W17	B49	AB22	A49	L21	B49	M22
A50	GND	B50	GND	A50	GND	B50	GND
J2				J4			
连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN
A1	VCC_B13	B1	VCC_B14	A1	C13	B1	A13
A2	VCC_B13	B2	VCC_B14	A2	B13	B2	A14
A3	VCC_B13	B3	VCC_B14	A3	F18	B3	D17
A4	GND	B4	GND	A4	E18	B4	C17
A5	GND	B5	GND	A5	GND	B5	GND
A6	GND	B6	GND	A6	C14	B6	A15
A7	VCC_5V0	B7	VCC_5V0	A7	C15	B7	A16
A8	VCC_5V0	B8	VCC_5V0	A8	F13	B8	E13
A9	VCC_5V0	B9	VCC_5V0	A9	F14	B9	E14
A10	/	B10	/	A10	GND	B10	GND
A11	/	B11	/	A11	B15	B11	B17
A12	/	B12	/	A12	B16	B12	B18
A13	/	B13	/	A13	F16	B13	D14
A14	/	B14	/	A14	E17	B14	D15
A15	/	B15	/	A15	GND	B15	GND

A16	/	B16	/	A16	A18	B16	C18
A17	/	B17	/	A17	A19	B17	C19
A18	/	B18	/	A18	E16	B18	E19
A19	/	B19	/	A19	D16	B19	D19
A20	GND	B20	GND	A20	GND	B20	GND
A21	/	B21	J16	A21	B20	B21	B21
A22	/	B22	M17	A22	A20	B22	A21
A23	/	B23	F15	A23	F19	B23	E21
A24	/	B24	F21	A24	F20	B24	D21
A25	GND	B25	GND	A25	GND	B25	GND
A26	/	B26	V12	A26	D20	B26	G21
A27	/	B27	T13	A27	C20	B27	G22
A28	/	B28	U13	A28	C22	B28	E22
A29	/	B29	R13	A29	B22	B29	D22
A30	GND	B30	GND	A30	GND	B30	GND

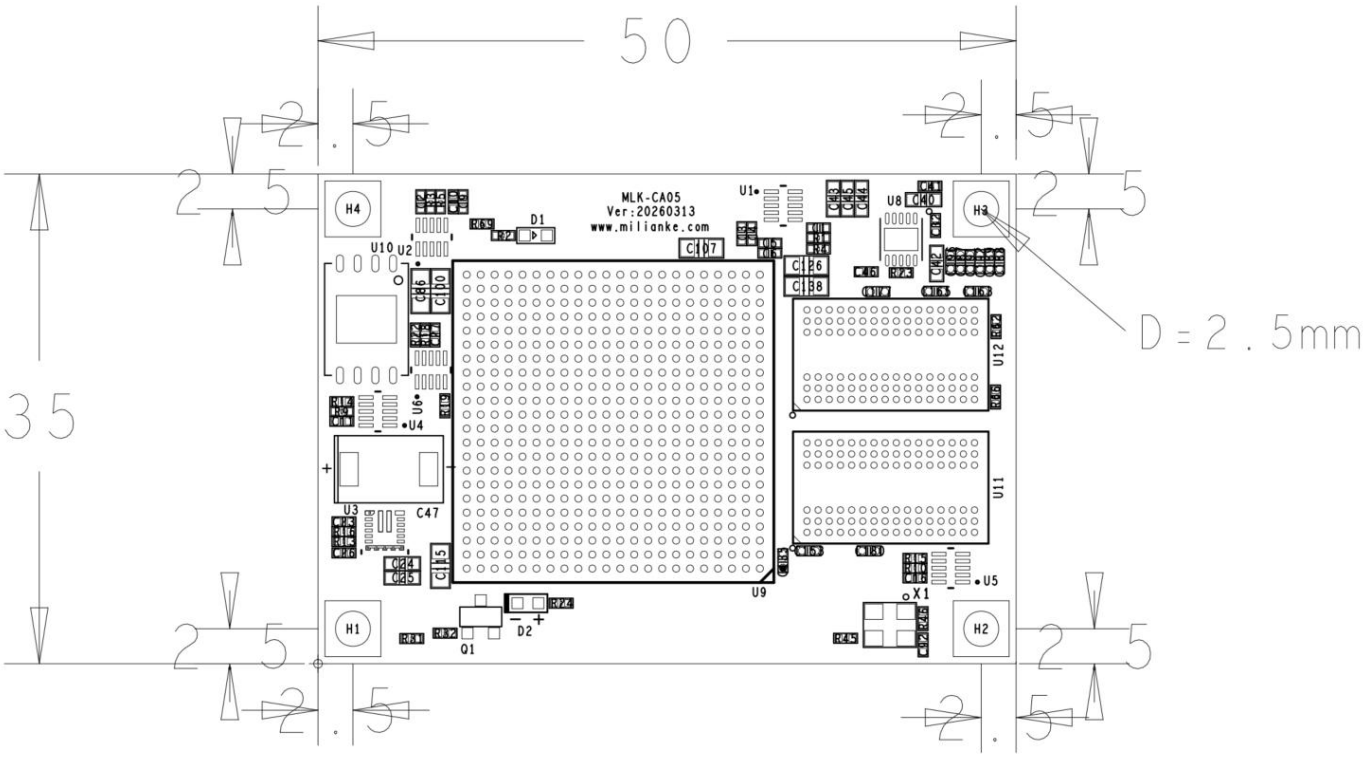
7:风扇及散热片



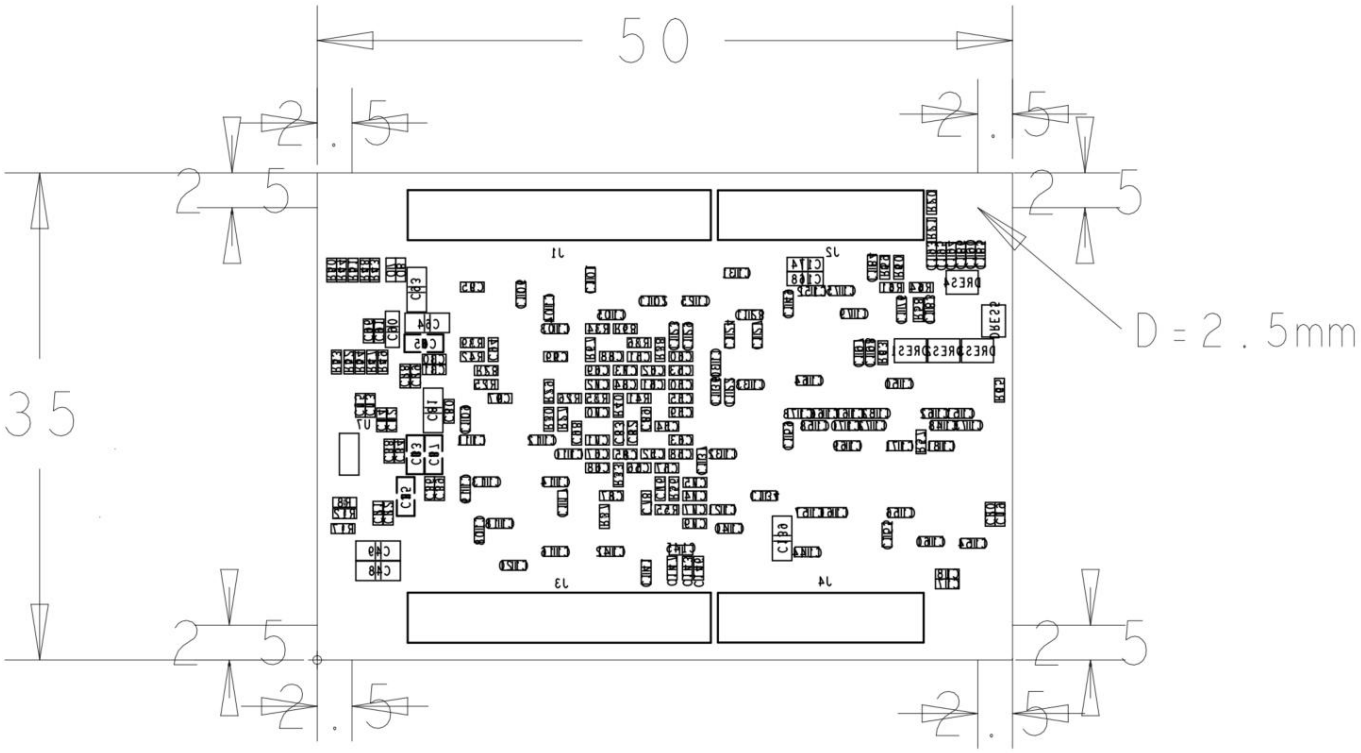
五、结构尺寸图

核心板尺寸结构图：30（mm）x50（mm） PCB：14 层

正面：



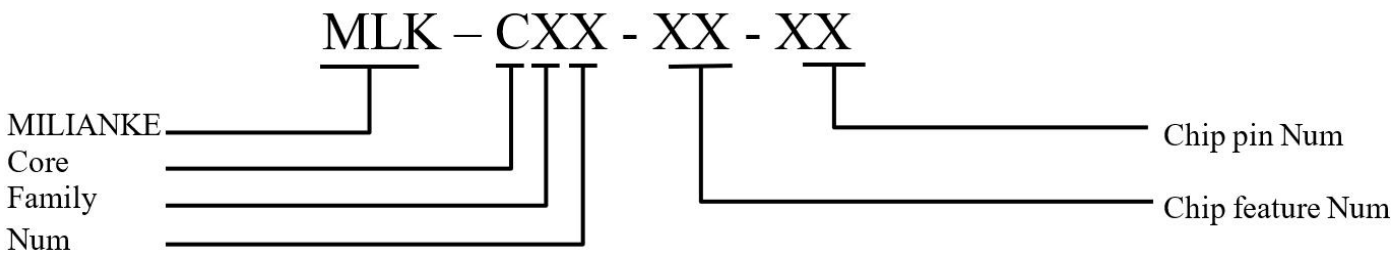
反面：



附录 1:命名规则

米联客硬件全新启用新的命名规则，对于老的型号，两个名字会同时使用

1 核心模块命名规则



2 开发平台命名规则

S-代表单板
F-代表核心板+底板方式的 FEP 扩展接口的开发平台
H-代表核心板+底板方式的 FMC-HPC 扩展接口的开发平台
L-代表核心板+底板方式的 FMC-LPC 扩展接口的开发平台

