MLK_CZ02_核心板硬件使用手册

微信扫码注册米联客技术论坛www.uisrc.com免费享受更多资源

扫码关注微信公众平台“米联客(MILIANKE)”掌握更多信息动态

技术支持

客户可以通过以下链接获取米联客官方店铺的客服联系方式，加入米联客企业微信技术支持群，获得专业的技术支持和解答。感谢您的支持！

京东米联客旗舰店：https://milianke.jd.com
天猫米联客旗舰店：https://milianke.tmall.com
淘宝米联客生态店：https://milianke.taobao.com

售后

1：7天无理由退货(人为原因除外)
2：质保期限：本司产品自快递签收之日起，提供一年质保服务(主芯片，比如FPGA 或者CPU等除外)。
3：维修换货，需提供淘宝订单编号或合同编号，联系销售/技术支持安排退回事宜。
售后维修请登录工单系统：https://www.uisrc.com/plugin.php?id=x7ree_service
4：以下情形不属于质保范畴
A：由于用户使用不当造成板子的损坏:比如电压过高造成的开发板短路,自行焊接造成的焊盘脱落、铜线起皮等。
B：用户日常维护不当造成板子的损坏：比如放置不当导致线路板腐蚀、基板出现裂纹等
5：质保范畴外（上方第4条）及质保期限以外的产品，本司提供有偿维修服务。维修仅收取器件材料成本，往返运 费全部由客户承担。
6：寄回地址，登录网页获取最新的售后地址：https://www.uisrc.com/t-1982.html

常州米联客信息科技有限公司
版权所有
常州溧阳总部：常州溧阳市中关村吴潭渡路雅创高科制造谷 10-1幢楼
南京研发基地：南京市江宁区秣陵街道吉印大道3118号联东U谷·南京九龙湖智造创新港3号楼9楼

版本日期	版本号	修改原因
2021-11-12	1.0	第一版
2022-05-28	1.1	第二版
2023-04-10	1.2	修改版本名称
2024-09-27	1.3	兼容安路 DR1 主芯片

目录

MLK_CZ02_核心板硬件使用手册 ..... 错误！未定义书签。
目录 3
用户须知—使用必看 4
一、整体概述 5
二、应用领域及人群 5
三、硬件配置 6
四、核心板图示 7
五、开发板功能描述 7
5.1 FPGA 7
5.2 内存（Memory） 8
5.2.1 DDR3 8
5.2.2 PROM SPI FALSH 9
5.2.3 8GB EMMC 10
5.3 系统时钟 11
5.4 系统复位 11
5.5 电源管理 12
5.6 模式开关设置 12
5.7 扩展口定义 13
5.8 结构尺寸图 16

用户须知—使用必看

核心板使用人员：

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。

2、请使用稳压电源供电，不要使用纹波较大的电源供电。

3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。

4、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

5、核心板 5V 输入，上电最大不能超过 5.3V，最低不低于 4.7V。

常州米联客信息科技有限公司

技术服务部

一、整体概述

MLK_CZ02 是米联客电子 ZYNQ 系列开发平台的一款全新高端产品。

主要特色是：

1) 高性价比：

核心板有多种选择，为客户提供不同需求，节约成本，DDR3 单片或双片、EMMC 都可选焊。设计紧凑：核心板 30(mm)x50(mm)x4.8(mm)，重量仅为 10g 左右，有利于设计更小的功能底板。

2) 资源丰富：

品名	PS 端可用 IO 数量	PL 端可用 IO 数量	总计可用 IO 数量
MLK-CZ02-DR1V90	38 个 MIO	125 个 IO/60 对差分对	163 个 IO/60 对差分对
MLK-CZ02-DR1M90	38 个 MIO	125 个 IO/60 对差分对	163 个 IO/60 对差分对

若客户不需要使用 EMMC（MIO0、9~15）和 FLASH（MIO1~8）可将核心板 FLASH（R16）和 EMMC（R6 和 R49）拆除后，在自行设计的底板中使用 BANK200 的 16 个 MIO。

MLK_CZ02 核心板将全部 IO 通过连接器引出。BANK32 和 BANK33 电压由底板提供，客户可根据自己的实际使用情况自行设计供电电压；BANK11 电压在核心板上，与 PS 端 BANK200 相连，电压 3.3V；PS BANK201 电压 1V8，所有 BANK 全部组内做 5mil 等长（BANK32=VCC_ADJ1，BANK33=VCC_ADJ2）

3) DEMO 丰富：图像采集处理、HLS 图像算法设计；Linux 开发；千兆网络通信等；

4) 贴心技术支持：为客户提供开发板相关的硬件和软件技术支持，加速产品化开发过程。

二、应用领域及人群

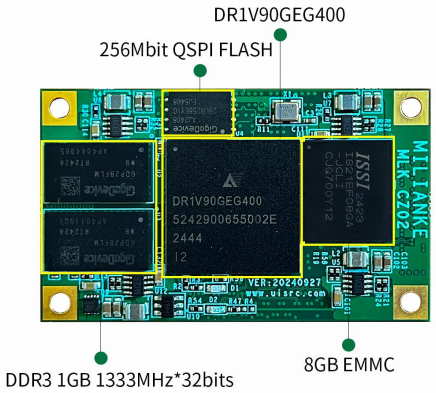
- 高速通信；
- 机器视觉、机器人；
- 伺服系统、运动控制；
- 视频采集、视频输出、消费电子；
- 项目研发前期验证；
- 电子信息工程、自动化、通信工程等电子类相关专业开发人员学习。

三、硬件配置

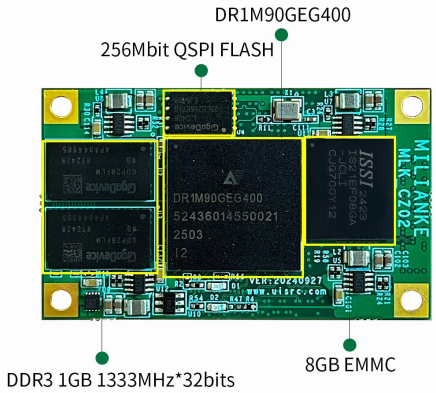
名称	**MLK_CZ02_DR1M90**	**MLK_CZ02_DR1V90**
FPGA	DR1M90GEG400	DR1V90GEG400
DDR3	1GB DDR3（单片 512MB*2 片） 数据带宽 1333Mbps	1GB DDR3（单片 512MB*2 片） 数据带宽 1333Mbps
EMMC	8GB	8GB
FLASH	256Mbit QSPI FLASH 1 片	256Mbit QSPI FLASH 1 片
时钟管理	33.333333Mhz 的 PS 时钟	33.333333Mhz 的 PS 时钟
最大功耗	5W	5W
外形	30mm*50mm*4.8mm	30mm*50mm*4.8mm
板载连接器	DF40HC-60DP-0.4Vx1 DF40HC-100DP-0.4Vx2	DF40HC-60DP-0.4Vx1 DF40HC-100DP-0.4Vx2
电源	DC-5V	DC-5V

四、核心板图示

注意：示意图只标注芯片位置，并不代表实物，使用者请根据实际使用的开发板进行开发



MLK-CZ02-DR1V90



MLK-CZ02-DR1M90

五、开发板功能描述

5.1 FPGA



MLK-CZ02 核心板搭载了一颗 DR1 可编程 FPGA 芯片，核心板 FPGA 芯片资源如下表所示。

表 5-1 核心板 FPGA 芯片资源

MLK-F3P-CZ02_DR1 硬件参数		
核心板型号	MLK-CZ02-DR1M90	MLK-CZ02-DR1V90
主芯片型号	DR1M90GEG400	DR1V90GEG400
Processor Core	双核 ARM 处理器	单核 RISC-V 处理器
Maximum Frequency(MHz)	1000	800

TIMER			ARM 通用定时器， 2x 系统级 Triple-timer 计数器	RISC-V 定时器， 2x 系统级 Triple-timer 计数器
Cache/TCM			L1:32 KB Instruction,32 KB data per processor L2:512 KB	L1:32KB Instruction,32KB data per processor ITCM：256KB DTCM1：256KB
FPGA主要参数	LUTs		94,464	
	DFFs		104,960	
	ERAM	20K	280	
		Total(Kbits)	5600	
	DRAM (Kbits)		1340	
	DSP		240	
	PLL		8	
	ADC		1	

5.2 内存（Memory）

5.2.1 DDR3



MLK-CZ02 核心板搭载的 DDR3 内存。DDR 单片内存大小是 512MB 据接口 16bit，两片 1GB。

表 5-2-1 MLK-CZ02 系列使用 DDR 型号

核心板型号	DDR 型号	DDR 容量	厂家	位号
MLK-CZ02-DR1V90	GDP2BFLM-WB	单片 512MB，2 片共 1GB	GD	U2,U3
MLK-CZ02-DR1M90	GDP2BFLM-WB	单片 512MB，2 片共 1GB	GD	U2,U3

MLK_CZ02 的 DDR3 采用了 1.35V 电压标准，并且具备终端补偿电阻。PCB 布线的时候终端补偿电阻尽量靠近了 DDR3 内存，确保了最高速度可以达到 1333MHZ。



ZYNQ DDR 引脚分配表：

DDR DATA	ZYNQ PIN	IOSTANDARD	DDR ADDR	ZYNQ PIN	IOSTANDARD
ddr3_d[0]	C3	/	ddr3_addr[0]	N2	/
ddr3_d[1]	B3	/	ddr3_addr[1]	K2	/
ddr3_d[2]	A2	/	ddr3_addr[2]	M3	/
ddr3_d[3]	A4	/	ddr3_addr[3]	K3	/
ddr3_d[4]	D3	/	ddr3_addr[4]	M4	/
ddr3_d[5]	D1	/	ddr3_addr[5]	L1	/
ddr3_d[6]	C1	/	ddr3_addr[6]	L4	/
ddr3_d[7]	E1	/	ddr3_addr[7]	K4	/
ddr3_d[8]	E2	/	ddr3_addr[8]	K1	/
ddr3_d[9]	E3	/	ddr3_addr[9]	J4	/
ddr3_d[10]	G3	/	ddr3_addr[10]	F5	/
ddr3_d[11]	H3	/	ddr3_addr[11]	G4	/
ddr3_d[12]	J3	/	ddr3_addr[12]	E4	/
ddr3_d[13]	H2	/	ddr3_addr[13]	D4	/
ddr3_d[14]	H1	/	ddr3_addr[14]	F4	/
ddr3_d[15]	J1	/	ddr3_ba[0]	L5	/
ddr3_d[16]	P1	/	ddr3_ba[1]	R4	/
ddr3_d[17]	P3	/	ddr3_ba[2]	J5	/
ddr3_d[18]	R3	/	ddr3_s0	N1	/
ddr3_d[19]	R1	/	ddr3_ras	P4	/
ddr3_d[20]	T4	/	ddr3_cas	P5	/
ddr3_d[21]	U4	/	ddr3_we	M5	/
ddr3_d[22]	U2	/	ddr3_odt	N5	/
ddr3_d[23]	U3	/	ddr3_rst	B4	/
ddr3_d[24]	V1	/	ddr3_cke0	N3	/
ddr3_d[25]	Y3	/	ddr3_clkp[0]	L2	/
ddr3_d[26]	W1	/	ddr3_clkn[0]	M2	/
ddr3_d[27]	Y4	/	ddr3_dqsp[0]	C2	/
ddr3_d[28]	Y2	/	ddr3_dqsn[0]	B2	/
ddr3_d[29]	W3	/	ddr3_dqsp[1]	G2	/
ddr3_d[30]	V2	/	ddr3_dqsn[1]	F2	/
ddr3_d[31]	V3	/	ddr3_dqsp[2]	R2	/
ddr3_dm[0]	A1	/	ddr3_dqsn[2]	T2	/
ddr3_dm[1]	F1	/	ddr3_dqsp[3]	W5	/
ddr3_dm[2]	T1	/	ddr3_dqsn[3]	W4	/
ddr3_dm[3]	Y1	/			

5.2.2 PROM SPI FALSH



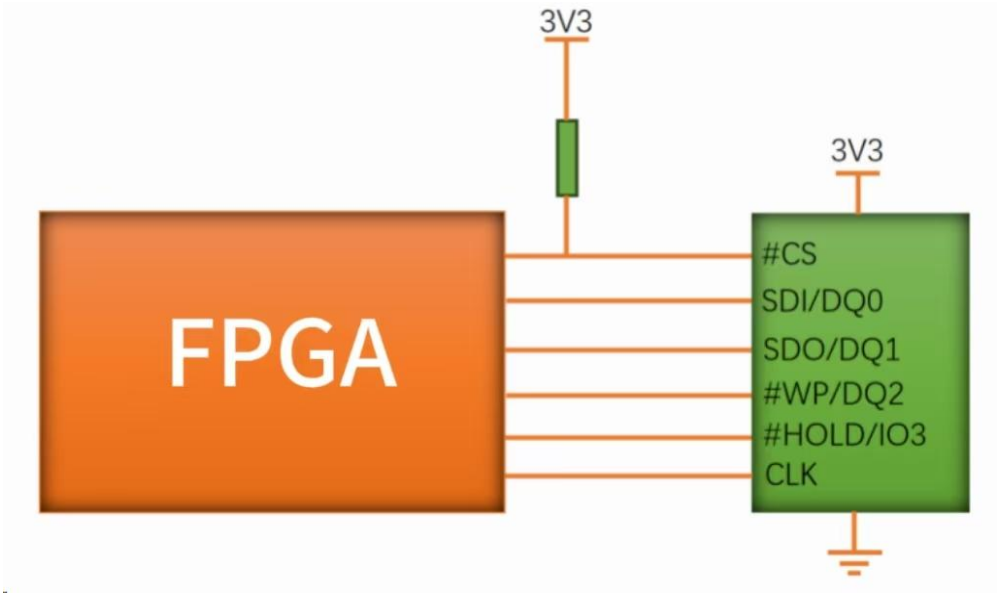
核心板具有一片 4bit SPI FLASH，型号是 GD25Q256DYIGR。FLASH 可用于保存数据和代码，初始化 PL 和 PS 部分子系统。

主要技术参数

• 256Mbit

• x1, x2, and x4 支持

• 工作于 3.3V



ZYNQ FLASH 引脚分配表：

FLASH PIN	ZYNQ PIN	IOSTANDARD	FLASH PIN	ZYNQ PIN	IOSTANDARD
SDI/DQ0	MIO2	/	SCK	MIO6	/
SDO/DQ1	MIO3	/	#CS	MIO1	/
#WP/DQ2	MIO4	/			
#HOLD/DQ3	MIO5	/			

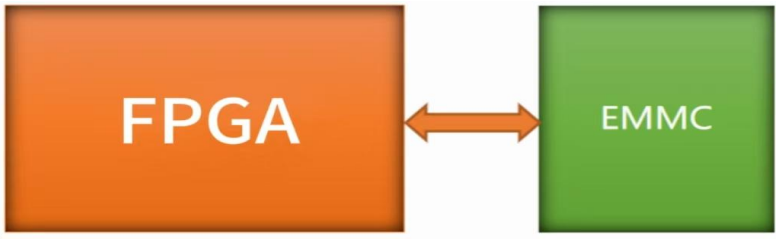
5.2.3 8GB EMMC



MLK-CZ02 核心板焊接了 8GB 大容量的 EMMC。EMMC 连接到了 DR1 的 SD1 接口，接口采用的是 SD 模式。EMMC 具备体积小，容量大，使用方便，速度快等有点，数据时钟可以达到 50MHZ。直接焊接在核心板上，可以使用在震动或者环境相对恶劣的场合。

表 5-4-1 MLK-CZ02 使用 EMMC 型号

EMMC 型号	容量/片	厂家	位号
IS21EF08GA-JCLI	8GB	ISSI	U11

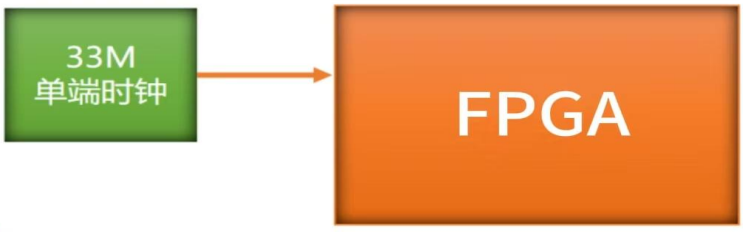


ZYNQ EMMC 引脚分配表：

EMMC PIN	ZYNQ PIN	IOSTANDARD
EMMC_D0	MIO10	/
EMMC_D1	MIO13	/
EMMC_D2	MIO14	/
EMMC_D3	MIO15	/
EMMC_CMD	MIO11	/
EMMC_CLK	MIO12	/

5.3 系统时钟

MLK_CZ02 核心板上具备一颗 33.3MHZ 的单端时钟，给 PS 端提供时钟信号；底板具备一颗 100MHZ 时钟输入到 ZYNQ 芯片 PL 部分，给 PL 端提供时钟信号，客户自行设计底板时可接其余 PL 端全局时钟 P 端。



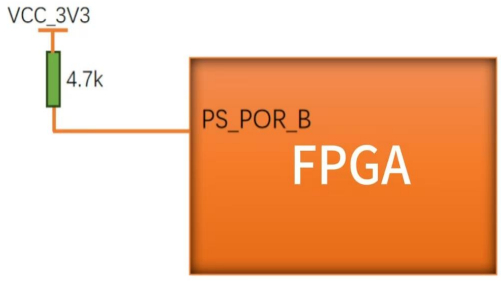
ZYNQ PS 端时钟引脚分配表：

时钟 PIN	方向	ZYNQ PIN	IOSTANDARD	描述
PS_CLK	输入	E7	/	时钟输入

5.4 系统复位

芯片支持上电复位，复位整个芯片。开发板上电复位信号是 PS_SPOR_B。ZYNQ PS 部分支持上电复位，复位整个芯片，此复位信号接到外部电源管理。

开发板自复位信号是 PS _SRST（此 IO 可引出，连接底板按键进行复位控制）。



5.5 电源管理

核心板集成电源管理，核心板输入电压 5V。

1、核心板提供 0V95、1.8V、3.3V、1.35V、0V75 等电源。

2、核心板电源由底板供电，VCCO_32 由 VCC_ADJ1 供电，VCCO_33 由 VCC_ADJ2 供电。

核心板上电时序如下：



5.6 模式开关设置



模式开关 SW1 在底板上，通过设置模式开关，可以实现 JTAG 模式、SD 卡模式、QSPI 模式的切换。

Pin-signal / Mode	MIO[8]	MIO[7]	MIO[6]	MIO[5]	MIO[4]	MIO[3]	MIO[2]
	VMODE[1]	VMODE[0]	BOOT_MODE[4]	BOOT_MODE[0]	BOOT_MODE[2]	BOOT_MODE[1]	BOOT_MODE[3]
Boot Devices							
JTAG Boot Mode; cascaded is most common(1)				0	0	0	JTAG Chain Routing(2) 0: Cascade mode 1: Independent mode
NOR Boot(3)				0	0	1	
NAND				0	1	0	
Quad-SPI(3)				1	0	0	
SD Card				1	1	0	
Mode for all 3 PLLs							
PLL Enabled			0	Hardware waits for PLL to lock, then executes BootROM.			
PLL Bypassed			1	Allows for a wide PS_CLK frequency range.			
MIO Bank Voltage(4)							
	Bank 1	Bank 0	Voltage Bank 0 includes MIO pins 0 thru 15. Voltage Bank 1 includes MIO pins 16 thru 53.				
2.5 V, 3.3 V	0	0					
1.8 V	1	1					

模式开关 SW1 在底板上，通过设置模式开关，可以实现 JTAG 模式、SD 卡模式、QSPI 模式以及 DR1 芯片 EMMC 模式的切换。

BOOT	SW1/MIO3	SW2/MIO4	SW3/MIO5
JTAG	ON/0	ON/0	ON/0
QSPI	ON/0	ON/0	OFF/1
SD_CARD	ON/0	OFF/1	OFF/1
EMMC	OFF/1	OFF/1	OFF/1
EMMC ONIY FOR DR1			

拨码开关拨 ON 为低电平信号 0，拨 OFF 为高电平信号 1。

5.7 扩展口定义

在 MLK_CZ02_DR1 核心板搭配的 DR1V/M90GEG400 主芯片上，BANK33 的 IO 有部分为 ADC 管脚，此部分管脚不可用作高速 IO，详见芯片手册，下图为手册截图：

3.2.6 ADC 性能

表 3-22 ADC 性能

描述		最 小	典 型	最 大	单位
模块接口位宽		-	-	12	Bits
工作时钟		-	-	14	MHz
最高采样速率		-	-	1	MS/s
I/O 通道数量		-	-	17	对
ADC 输出数字位宽		-	-	12	bit
ADC 有效精度，专用通道		-	10	-	bit
ADC 有效精度，复用通道		-	10	-	bit
动态范围，专用通道	单端	0	-	V_{CCADC_VREFP}	V
	差分	$-V_{CCADC_VREFP}$		V_{CCADC_VREFP}	V
动态范围，复用通道	单端	0	-	1	V
	差分	-1	-	1	V
增益误差		-	±0.5	-	%FS
偏移误差		-	±1	-	%FS
Integral Non-Linearity(INL)，单端/差分		-	-	±2.2	LSB
Different Non-Linearity(DNL)，单端/差分		-0.95	-	1.7	LSB

注：

1. 如需要 ADC 高精度测量，需避免其他未进行采样的 ADC 复用通道作普通 I/O 使用，否则会影响以上指标。
2. 增益误差指 ADC 内核相对于其接收的基准电压。使用外部参考源时基准即为 VREFP 管脚上的电压。

绿色字体均为 ADC 管脚，自行设计底板时需避让这部分 IO 作为高速 IO 使用。

HT1				HT2				HT3			
连接器 PIN	DR1 PIN	连接器 PIN	DR1 PIN	连接器 PIN	DR1 PIN	连接器 PIN	DR1 PIN	连接器 PIN	DR1 PIN	连接器 PIN	DR1 PIN
A1	VCC_5V0	B1	VCC_5V0	A1	GND	B1	GND	A1	E17	B1	B19
A2	VCC_5V0	B2	VCC_5V0	A2	NC	B2	NC	A2	D18	B2	A20
A3	VCC_5V0	B3	VCC_5V0	A3	NC	B3	NC	A3	D19	B3	C20
A4	VCC_5V0	B4	VCC_5V0	A4	NC	B4	NC	A4	D20	B4	B20
A5	GND	B5	GND	A5	V5	B5	MR	A5	GND	B5	GND
A6	GND	B6	GND	A6	T5	B6	Y7	A6	E18	B6	F16
A7	GND	B7	GND	A7	U5	B7	Y6	A7	E19	B7	F17
A8	B8	B8	NC	A8	V6	B8	Y9	A8	F19	B8	G17
A9	NC	B9	NC	A9	W6	B9	Y8	A9	F20	B9	G18
A10	A5	B10	F9	A10	U7	B10	V8	A10	GND	B10	GND
A11	NC	B11	J6	A11	V7	B11	W8	A11	J18	B11	H15
A12	A6	B12	G6	A12	GND	B12	GND	A12	H18	B12	G15
A13	NC	B13	F6	A13	U9	B13	W10	A13	G19	B13	H16
A14	PG_1V35	B14	NC	A14	U8	B14	W9	A14	G20	B14	H17
A15	NC	B15	NC	A15	T9	B15	W11	A15	J15	B15	G14
A16	GND	B16	A7	A16	U10	B16	Y11	A16	GND	B16	GND
A17	E6	B17	D6	A17	V11	B17	Y12	A17	K19	B17	K14
A18	B5	B18	B7	A18	V10	B18	Y13	A18	J19	B18	J14
A19	E9	B19	NC	A19	GND	B19	GND	A19	J20	B19	K16
A20	C6	B20	NC	A20	T11	B20	V12	A20	H20	B20	J16
A21	D9	B21	NC	A21	T10	B21	W13	A21	GND	B21	GND
A22	E8	B22	D5	A22	P14	B22	W14	A22	K17	B22	L14
A23	C5	B23	D8	A23	R14	B23	Y14	A23	K18	B23	L15
A24	C8	B24	B10	A24	U13	B24	T12	A24	M17	B24	M14
A25	GND	B25	GND	A25	V13	B25	U12	A25	M18	B25	M15
A26	A19	B26	C16	A26	GND	B26	GND	A26	GND	B26	GND
A27	E14	B27	C13	A27	T14	B27	V15	A27	L19	B27	L16
A28	B18	B28	C15	A28	T15	B28	W15	A28	L20	B28	L17
A29	D10	B29	E16	A29	P15	B29	V16	A29	M19	B29	N15
A30	A17	B30	A14	A30	P16	B30	W16	A30	M20	B30	N16
A31	F14	B31	D15	A31	U18	B31	T16				
A32	GND	B32	GND	A32	U19	B32	U17				
A33	B17	B33	A12	A33	GND	B33	GND				
A34	D11	B34	F12	A34	N18	B34	U14				
A35	A16	B35	A11	A35	P19	B35	U15				
A36	F15	B36	A10	A36	R16	B36	V17				
A37	A15	B37	E13	A37	R17	B37	V18				
A38	D13	B38	C18	A38	T17	B38	W18				
A39	GND	B39	GND	A39	R18	B39	W19				
A40	D14	B40	B12	A40	GND	B40	GND				
A41	C17	B41	C12	A41	N17	B41	Y16				

A42	E12	B42	B13	A42	P18	B42	Y17				
A43	A9	B43	B9	A43	N20	B43	Y18				
A44	F13	B44	C10	A44	P20	B44	Y19				
A45	B15	B45	C11	A45	T20	B45	V20				
A46	D16	B46	NC	A46	U20	B46	W20				
A47	B14	B47	VCCBATT	A47	R19	B47	T19				
A48	GND	B48	GND	A48	GND	B48	GND				
A49	BK33_ADJ2	B49	BK33_ADJ2	A49	BK32_ADJ1	B49	BK32_ADJ1				
A50	BK33_ADJ2	B50	BK33_ADJ2	A50	BK32_ADJ1	B50	BK32_ADJ1				

5.8 结构尺寸图

核心板尺寸为 30(mm)x50(mm)x4.8(mm)，核心板 PCB 采用 12 层设计;
核心板结构尺寸如下图所示：

